

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

日本国特許庁
JAPAN PATENT OFFICE

#2
22 Mar 02
R. Tallet

J1000 U.S. PTO
09/986742



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年11月 9日

出願番号

Application Number:

特願2000-342016

出願人

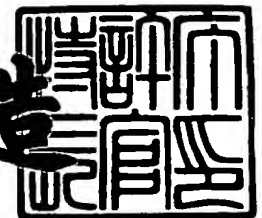
Applicant(s):

株式会社半導体エネルギー研究所

2001年 9月 5日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3082128

【書類名】 特許願

【整理番号】 P005298

【提出日】 平成12年11月 9日

【あて先】 特許庁長官 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 小山 潤

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】

多結晶半導体によって形成されるチャネル領域を有する薄膜トランジスタによって構成されるアナログバッファ回路をもつ半導体装置において、

前記アナログバッファ回路は、差動回路、カレントミラー回路のうち少なくとも1つを有し、

前記差動回路もしくは前記カレントミラー回路を構成する薄膜トランジスタのゲート長は、 $7\mu\text{m}$ 以上であり、ゲート幅は、 $50\mu\text{m}$ 以上であることを特徴とした半導体装置。

【請求項 2】

多結晶半導体によって形成されるチャネル領域を有する薄膜トランジスタによって構成されるアナログバッファ回路をもつ半導体装置において、

前記アナログバッファ回路は、差動回路、カレントミラー回路のうち少なくとも1つを有し、

前記差動回路もしくは前記カレントミラー回路を構成する薄膜トランジスタは、マルチゲート構造であることを特徴とする半導体装置。

【請求項 3】

多結晶半導体によって形成されるチャネル領域を有する薄膜トランジスタによって構成されるアナログバッファ回路をもつ半導体装置において、

前記アナログバッファ回路は、差動回路、カレントミラー回路のうち少なくとも1つを有し、

前記差動回路もしくは前記カレントミラー回路を構成する薄膜トランジスタは、複数の薄膜トランジスタを並列接続したものによって構成されていることを特徴とする半導体装置。

【請求項 4】

請求項 3 において、

前記複数の薄膜トランジスタは、たすきがけ配置されていることを特徴とする

半導体装置。

【請求項 5】

多結晶半導体によって形成されるチャネル領域を有する薄膜トランジスタによって構成されるアナログバッファ回路をもつ半導体装置において、

前記アナログバッファ回路は、ソースフォロワによって構成され、

前記ソースフォロワを構成する薄膜トランジスタのゲート長は、 $7\mu\text{m}$ 以上であり、ゲート幅は、 $50\mu\text{m}$ 以上であることを特徴とする半導体装置。

【請求項 6】

多結晶半導体によって形成されるチャネル領域を有する薄膜トランジスタによって構成されるアナログバッファ回路をもつ半導体装置において、

前記アナログバッファ回路は、ソースフォロワによって構成され、

前記ソースフォロワを構成する薄膜トランジスタは、マルチゲート構造であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に関する。特に、多結晶半導体層を有する T F T（薄膜トランジスタ）により構成されるアナログバッファ回路を有する半導体装置に関する。また、画像表示装置としての半導体装置に関する。

【0002】

【従来の技術】

近年、情報通信の活発化により、情報通信機器の需要が高まっている。ここで、これらの情報通信機器には、画像を表示するための表示装置が欠かせない。表示装置としては、液晶表示装置や E L 表示装置等があるが、表示部の大型化及び高精細化に伴い、画素毎に T F T を配置したアクティブマトリクス型の表示装置が主流となりつつある。

【0003】

図 8 にアクティブマトリクス型の表示装置のブロック図を示す。画素部周りに、ソース信号線駆動回路、ゲート信号線駆動回路が配置され、基板上に一体形成

されている。ソース信号線駆動回路から出力される信号は、ソース信号線に入力され、各画素に伝達される。また、ゲート信号線駆動回路から出力される信号は、ゲート信号線に入力され、各画素に伝達される。画素部の構成としては、液晶を用いたものやE L素子を用いたものなどがあるが、ここでは、E L素子を用いた場合の画素の構造についての例を図15に示す。

【0004】

なお、本明細書において、E L素子とは、一重項状態からの発光（蛍光）をおこなうものと、三重項状態からの発光（燐光）をおこなうものの両方を含むものとする。

【0005】

スイッチング用T F Tのゲート電極はゲート信号線に接続され、ソース領域もしくはドレイン領域の一方は、ソース信号線に接続され、もう一方はコンデンサの一方の電極及びE L駆動用T F Tのゲート電極に接続されている。コンデンサの電極でスイッチング用T F Tと接続されていない側は、電源供給線に接続されている。E L駆動用T F Tのソース領域もしくはドレイン領域の一方は、電源供給線に接続されており、もう一方はE L素子に接続されている。

【0006】

ゲート信号線が選択された画素において、ソース信号線の信号電圧は導通状態になったスイッチング用T F Tを介して、コンデンサ及びE L駆動用T F Tのゲート電極に印加される。この印加電圧によってE L駆動用T F Tを介して電源供給線からE L素子に電流が流れ、E L素子は発光する。

【0007】

表示装置を小型化し、また作製上のコストも低減するために、画素部及び駆動回路部（ソース信号線駆動回路及びゲート信号線駆動回路）を1つの基板上に作製する試みがなされている。この際、多結晶半導体層を用いて、画素部及び駆動回路部のT F Tを作製する。

【0008】

ここで、ソース信号線にアナログ信号を出力するソース信号線駆動回路を考える。このソース信号線駆動回路の駆動方法としては、点順次駆動と線順次駆動が

挙げられる。

【 0 0 0 9 】

まず、点順次駆動について説明する。点順次駆動では、ソース信号線 1 本ずつに順に信号を入力していく。点順次駆動のソース信号線駆動回路のブロック図を、図 9 に示す。

【 0 0 1 0 】

ソース信号線駆動回路は、シフトレジスタ 9 0 1、アナログ信号入力線 9 0 3 及びスイッチング回路 9 0 4 によって構成され、ソース信号線 S 1 ～ S x に信号を出力している。

【 0 0 1 1 】

シフトレジスタ 9 0 1 からのサンプリング信号によって、アナログ信号入力線 9 0 3 より入力された信号電圧は、スイッチング回路 9 0 4 (SW. 1 ～ SW. x) によって順に、ソース信号線 S 1 ～ S x に出力される。

【 0 0 1 2 】

この際、有効水平走査期間の長さを H 1 (水平走査期間の約 8 0 %) としてソース信号線の数 (横方向の画素数) を N とすると、ソース信号線一本あたりに信号を入力するために使用することのできる期間は、 $H 1 / N$ となる。

【 0 0 1 3 】

この駆動方法では、駆動回路の構成を簡単にすることができるという利点がある。しかし、1 画素あたりの信号出力の期間 $H 1 / N$ は、大きな表示部を持つ表示装置や高精細の表示装置では、十分にとることができなくなる。そのため次に説明する、線順次駆動が中心になっている。

【 0 0 1 4 】

線順次駆動のソース信号線駆動回路のブロック図を図 1 0 に示す。

【 0 0 1 5 】

図 1 0 のソース信号線駆動回路は、シフトレジスタ 1 0 1、アナログ信号入力線 1 0 3、信号転送線 1 0 6、保持容量 1 0 5、1 0 8、第一のスイッチング回路 (SW 1 · 1 ～ SW 1 · x) 1 0 4、第二のスイッチング回路 (SW 2 · 1 ～ SW 2 · x) 1 0 7、アナログバッファ回路 (AB. 1 ～ AB. x) 1 0 9 によ

って構成されている。シフトレジスタ101からのサンプリング信号によって、アナログ信号入力線103より入力される信号をサンプリングし、第一のスイッチング回路104を介して保持容量105に保持する。1ライン分の信号を保持したら、信号転送線106に入力される信号によって第二のスイッチング回路107を介して次の保持容量108に保持する。ここで、保持された信号は、1ライン分一斉にソース信号線S1～Sxに出力される。ここで、ソース信号線S1～Sxに出力がなされている間に、次の1水平ライン分の信号がアナログ信号入力線から第一のスイッチング回路104を介して保持容量105に順に保持される。

【0016】

この駆動方法では、ソース信号線駆動回路において、出力の信号を1水平ライン分ホールドした後、一斉に出力する。そのため、ソース信号線に信号を出力する期間を十分にとることができる。

【0017】

ここで、大きなパネルになるとソース信号線1本あたりに付く負荷が大きくなるので、信号増幅回路が必要となる。そのため、図10のブロック図では、ソース信号線に信号を出力する前にアナログバッファ回路（AB. 1～AB. x）109が配置されている。この信号増幅回路の例を図5に示す。

【0018】

図5において、アナログバッファ回路は、差動回路5501とカレントミラー回路5502及び定電流源5503によって構成されている。差動回路5501は、TFT5505及びTFT5506によって構成されている。カレントミラー回路5502は、TFT5507及びTFT5508によって構成されている。定電流源5503は、TFT5504によって構成されている。

【0019】

TFT5507とTFT5508のゲート電極は、接続されている。TFT5507及びTFT5508のソース領域もしくはドレイン領域は、一方は電源線Vddに接続され、もう一方はTFT5505及びTFT5506のソース領域もしくはドレイン領域のどちらか一方に、それぞれ接続されている。TFT55

07のソース領域もしくはドレイン領域で電源線V_{dd}と接続されていない側はTFT5507のゲート電極と接続されている。TFT5506のソース領域もしくはドレイン領域のどちらか一方でTFT5508と接続されている側は、TFT5506のゲート電極と接続され、出力が取り出されている。TFT5505のゲート電極は入力信号が入力される入力端子と接続されている。TFT5504のソース領域もしくはドレイン領域は一方は、TFT5505及びTFT5506のソース領域もしくはドレイン領域でTFT5507及びTFT5508と接続されていない側と接続され、もう一方は、接地されている。TFT5504のゲート電極にはバイアス電圧が入力される。

【0020】

入力端子に入力された信号電圧は、インピーダンス変換され電流能力を高められて出力される。これにより、信号を出力するソース信号線の負荷が大きい場合でも、十分に信号を伝達することができる。

【0021】

なお、図9及び図10では、アナログ信号を入力し、アナログ信号を出力するソース信号線駆動回路を例に挙げたが、デジタル信号を入力し、デジタル／アナログ変換器(D/Aコンバータ)によりアナログ信号に変換しソース信号線に信号を出力するソース信号線駆動回路についても同様に、大型のパネルにおいては、線順次駆動を適用し、アナログバッファ回路を設けている。このソース信号線駆動回路の例を図18に示す。

【0022】

図18において、ソース信号線駆動回路は、シフトレジスタ、デジタル信号入力線VD、ラッチ1(LAT1, 1～LAT1, x)、ラッチ2(LAT2, 1～LAT2, x)、ラッチパルス線、D/Aコンバータ(DAC1～DACx)及びアナログバッファ回路(AB, 1～AB, x)によって構成されている。

【0023】

シフトレジスタのタイミング信号によって、デジタル信号入力線VDよりラッチ1に信号がサンプリングされ、1ライン期間分の信号がラッチ2に保持される。この後、ラッチパルス線に入力されるラッチパルスによって、ラッチ2の信号

が、D/Aコンバータによりアナログ変換され、アナログバッファ回路を介して、一斉にソース信号線S1～Sxに転送される。こうして、線順次駆動によって画像を表示する。

【0024】

【発明が解決しようとする課題】

図5で示したアナログバッファ回路をチャネル領域が多結晶半導体層により形成されるTFTを用いて構成したとする。本明細書では、チャネル領域が多結晶半導体層により構成されるTFTを多結晶TFTと呼ぶことにする。

【0025】

ここで、このアナログバッファ回路が正常に動作するためには、差動回路を構成する2つのTFTの特性が同じであり、また、カレントミラー回路を構成する2つのTFTの特性が同じでなくてはならない。しかし、実際にはこれらのTFTの特性は大きくバラついてしまう。というのも、TFTの特性が、そのチャネル領域の多結晶半導体層の結晶状態等に大きく依存してしまうためである。

【0026】

そのため、アナログバッファ回路は、入力電圧に対してオフセット電圧が生じ、個々のアナログバッファ回路によってこのオフセット電圧の分だけ出力電圧がバラついてしまう。そこで、補正回路を設けて、アナログバッファ回路の出力電圧のバラつきを低減する試みがなされている。これらの手法は、特開平2-1893号公報や特開平7-162788号公報に記載されている。

【0027】

今までに提案された補正回路の例を示し、その動作を説明する。

【0028】

アナログバッファ回路に、基準電位 V_0 を入力すると、アナログバッファ回路の出力電圧は、 $(V_0 + \Delta V)$ となり、オフセット電圧 ΔV の差が生じるものとする。このアナログバッファ回路に補正回路をつける。補正回路は、アナログバッファ回路の出力電圧 $(V_0 + \Delta V)$ と基準電圧 V_0 の差をオフセット電圧 ΔV として検出し、入力信号電圧 V からオフセット電圧 ΔV を減算した電圧 $(V + \Delta V)$ をアナログバッファ回路に入力する。これにより、アナログバッファ回路の出力

電圧は、オフセット電圧 ΔV が相殺されて電圧 V が出力される。

【0029】

このような補正回路の具体的な例について、説明する。なおここでは特開平 7-162788 号公報に記載された補正回路を例に説明する。

【0030】

図 6 は、補正回路 62 がついたアナログバッファ回路 61 の回路図の例である。補正回路 62 は、コンデンサ 63 とスイッチング TFT 64～68 によって構成される。

【0031】

アナログバッファ回路 61 の入力端子 61a は、スイッチング TFT 64 を介して、電源線 V_0 に接続されていると同時に、スイッチング TFT 65 を介して、コンデンサ 63 に一方の電極に接続されている。コンデンサ 63 の電極で、スイッチング TFT 65 と接続されている側は、スイッチング TFT 66 を介して、入力端子 61a に接続されている。

【0032】

コンデンサ 63 のもう一方の電極は、スイッチング TFT 68 を介して、電源線 V_0 に接続されていると同時に、スイッチング TFT 67 を介して、アナログバッファ回路 61 の出力端子に接続されている。

【0033】

スイッチング TFT 64～68 のゲート電極には、それぞれ $V_{g64} \sim V_{g68}$ の信号が入力されとする。

【0034】

図 6 の動作について、図 7 のタイミングチャートを用いて説明する。なお、図 7 のタイミングチャートは、スイッチング TFT 64～68 として、n チャネル型 TFT を用いた場合に対応する。しかし、スイッチング TFT 64～68 として、p チャネル型 TFT を用いても問題ない。このときは、信号 $V_{g64} \sim V_{g68}$ は、n チャネル型 TFT を用いた場合と位相が逆になる。

【0035】

まず、時刻 t_1 において、信号 V_{g64} 、 V_{g65} 、 V_{g67} に、Hi レベルの信号電圧

が入力される。一方、信号 V_{g66} 及び V_{g68} は、L o レベルの信号が入力されている。これにより、スイッチング T F T 6 4、6 5、6 7 が導通状態にあり、スイッチング T F T 6 6、6 8 が非導通状態にある。

【0036】

このとき、電源線 V_0 の電圧 V_0 は、スイッチング T F T 6 4 を介して、アナログバッファ回路 6 1 の入力端子 6 1 a に入力されると共に、スイッチング T F T 6 5 を介して、コンデンサ 6 3 に印加される。

【0037】

次に時刻 t_2 において、 V_{g64} 及び V_{g67} は H i レベルのまま、 V_{g68} は L o レベルのままであるが、 V_{g65} を L o レベルに変化させ、 V_{g66} を H i レベルに変化させる。するとスイッチング T F T 6 4、6 6、6 7 が導通状態となり、スイッチング T F T 6 5、6 8 が非導通状態となる。これにより、入力電圧 V が、スイッチング T F T 6 6 を介して、コンデンサ 6 3 に入力される。

【0038】

その後、時刻 t_3 において、スイッチング T F T 6 4、6 7 は導通状態のまま、信号 V_{g66} が L o レベルに変化し、スイッチング T F T 6 6 が非導通状態となる。

【0039】

次に時刻 t_4 において、 V_{g64} 、 V_{g65} 、 V_{g66} の信号電圧は変わらず、 V_{g67} は、L o レベルとなり、 V_{g68} は H i レベルに変化する。すると、スイッチング T F T 6 4、6 8 は導通状態で、スイッチング T F T 6 5、6 6、6 7 は非導通状態となる。

【0040】

これにより、電源線 V_0 の電圧 V_0 が、スイッチング T F T 6 8 を介して、コンデンサ 6 3 の電極に印加される。

【0041】

その後、時刻 t_5 において、 $V_{g66} \sim V_{g68}$ はそのまま、 V_{g64} が L o レベルになり、 V_{g65} が H i レベルになる。するとスイッチング T F T 6 5、6 8 が導通状態、スイッチング T F T 6 4、6 6、6 7 が非導通状態となる。

【 0 0 4 2 】

これにより、コンデンサ 6 3 の電極間の電圧が、スイッチング T F T 6 5 を介して、アナログバッファ回路 6 1 の入力端子 6 1 a に入力される。

【 0 0 4 3 】

ここで、コンデンサ 6 3 の電極間の電圧は、 $(V - \Delta V)$ であるので、この電圧が入力されると、アナログバッファ回路 6 1 の出力は V となる。

【 0 0 4 4 】

このように補正回路 6 2 を設けることで、アナログバッファ回路 6 1 からオフセット電圧 ΔV を除いた電圧を出力することができる。

【 0 0 4 5 】

しかし、オフセット電圧 ΔV を補正するのに、 $(t_5 - t_1)$ の時間がかかる上、 $V_{g64} \sim V_{g68}$ の信号電圧を印加する為には、専用の信号を新たに作らなければならない信号系を複雑にし、素子数の増大をまねくという問題がある。

【 0 0 4 6 】

なお、図 6 の構成の補正回路を設けたアナログバッファ回路に限らず、他の構成の補正回路を設けたものも提案されているが、いずれにしてもアナログバッファ回路の出力を一度保持した後、この出力電圧を元に、アナログバッファ回路の入力電圧を変化させ、アナログバッファ回路の出力からオフセット電圧を除いているため、同様の問題がある。

【 0 0 4 7 】

【課題を解決するための手段】

差動回路、カレントミラー回路及び定電流源を含むアナログバッファ回路において、回路を構成する、多結晶 T F T の構造や配置を工夫することによって、個々の T F T の特性の差が減じられるようにする。また、複数の T F T を用い、その平均的な特性を用いて回路が動作するようにする。これらによって、バラツきの少ないアナログバッファ回路が提供される。

【 0 0 4 8 】

以下に本発明の構成を示す。

【 0 0 4 9 】

本発明によって、

多結晶半導体によって形成されるチャネル領域を有する薄膜トランジスタによって構成されるアナログバッファ回路をもつ半導体装置において、

前記アナログバッファ回路は、差動回路、カレントミラー回路のうち少なくとも1つを有し、

前記差動回路もしくは前記カレントミラー回路を構成する薄膜トランジスタのゲート長は、 $7\mu\text{m}$ 以上であり、ゲート幅は、 $50\mu\text{m}$ 以上であることを特徴とした半導体装置が提供される。

【0050】

本発明によって、

多結晶半導体によって形成されるチャネル領域を有する薄膜トランジスタによって構成されるアナログバッファ回路をもつ半導体装置において、

前記アナログバッファ回路は、差動回路、カレントミラー回路のうち少なくとも1つを有し、

前記差動回路もしくは前記カレントミラー回路を構成する薄膜トランジスタは、マルチゲート構造であることを特徴とする半導体装置が提供される。

【0051】

本発明によって、

多結晶半導体によって形成されるチャネル領域を有する薄膜トランジスタによって構成されるアナログバッファ回路をもつ半導体装置において、

前記アナログバッファ回路は、差動回路、カレントミラー回路のうち少なくとも1つを有し、

前記差動回路もしくは前記カレントミラー回路を構成する薄膜トランジスタは、複数の薄膜トランジスタを並列接続したものによって構成されていることを特徴とする半導体装置が提供される。

【0052】

前記複数の薄膜トランジスタは、たすきがけ配置されていることを特徴とする半導体装置であってもよい。

【0053】

本発明によって、

多結晶半導体によって形成されるチャネル領域を有する薄膜トランジスタによって構成されるアナログバッファ回路をもつ半導体装置において、

前記アナログバッファ回路は、ソースフォロワによって構成され、

前記ソースフォロワを構成する薄膜トランジスタのゲート長は、 $7\mu\text{m}$ 以上であり、ゲート幅は、 $50\mu\text{m}$ 以上であることを特徴とする半導体装置が提供される。

【0054】

本発明によって、

多結晶半導体によって形成されるチャネル領域を有する薄膜トランジスタによって構成されるアナログバッファ回路をもつ半導体装置において、

前記アナログバッファ回路は、ソースフォロワによって構成され、

前記ソースフォロワを構成する薄膜トランジスタは、マルチゲート構造であることを特徴とする半導体装置が提供される。

【0055】

【発明の実施の形態】

本発明のアナログバッファ回路の構造について説明する。

【0056】

アナログバッファ回路を構成する素子として、多結晶TFTを使用するが、このTFTのチャネル部分の多結晶半導体層の結晶性が、TFTの特性を決める大きな要因である。

【0057】

ここで、チャネル領域が多結晶半導体層によって形成されている場合、多結晶のグレイン（結晶粒）間の境界（結晶粒界）が問題となってくる。結晶粒界は、結晶粒内部と異なり結晶性が乱れており、また、不純物の偏析などの問題があるのでキャリアの移動を妨げる障壁として働く。そのため、TFTのチャネル部分に、結晶粒界がどれくらい存在するかによって、そのTFTの特性が大きく異なる。

【0058】

近年、T F Tの微細化が進み、T F Tのチャネル領域の幅と同等のサイズの結晶粒によって、チャネル領域が形成されるようになった。そのため、結晶粒界が存在するかしないかにより、T F Tの特性は激変する。

【 0 0 5 9 】

多結晶半導体層の結晶粒界の配置と、チャネル領域の関係を図 1 6 に模式的に示す。

【 0 0 6 0 】

図 1 6 (A) では、粒界がチャネル領域を横切るように存在するため、キャリアはこの粒界の影響を受けてしまい移動度が下がる。一方、図 1 6 (B) では、チャネル領域がちょうど結晶粒内部に配置し、粒界が存在しない。この場合は、キャリアはほぼ単結晶内部を移動するようなものであるため、移動度は高い。

【 0 0 6 1 】

このように、チャネル領域に結晶粒界が存在するかしないかによってT F Tの特性は大きく変わることになる。また、結晶粒界がチャネル領域に存在する場合であっても、その数が少ないと、T F T毎の特性のバラつきが大きくなる。

【 0 0 6 2 】

そこで、第一の実施の形態として、アナログバッファ回路において、T F Tのゲート長及びゲート幅を大きく取ることによって、チャネル部分に含まれる結晶粒を多くする。この模式図を図 1 4 に示す。これにより、キャリアがチャネル部分を伝播する際、障害となる結晶粒界の数のバラつきが小さくなる。こうして、比較的特性のそろったT F Tが得られる。

【 0 0 6 3 】

図 1 9 に、ゲート幅が $8 \mu\text{m}$ のT F Tとゲート幅が $200 \mu\text{m}$ のT F Tの、しきい値 (V_{th}) のバラつきを示す。図 1 9 (A) は、ゲート幅が $8 \mu\text{m}$ のT F Tのしきい値のバラつきであり、図 1 9 (B) は、ゲート幅が $200 \mu\text{m}$ のT F Tのしきい値のバラつきである。ここで、ゲート酸化膜 (G I) が、 950\AA と 1150\AA の2つの場合の測定結果を示している。

【 0 0 6 4 】

図 1 9 より、ゲート幅が大きいほうがT F Tのしきい値のバラつきが小さくな

ることがわかる。ゲート幅は、 $50\mu\text{m}$ 以上であることが望ましい。

【0065】

また、TFTのゲート長とドレイン電流 I_D とドレイン・ソース間電圧 V_{DS} には、図4のグラフに示したような関係がある。

【0066】

一般に、FETでは、ドレイン電圧によって空乏層の長さが変化するため、それによって実効チャネル長が変化する。これはチャネル長が短いほど相対的な影響が大きい。

【0067】

S_2 は、ゲート長 L が比較的短いTFTのドレイン・ソース電圧 V_{DS} に対するドレイン電流 I_D の特性を示す曲線である。

【0068】

一方、 S_1 は、ゲート長 L が比較的長いTFTのドレイン・ソース間電圧 V_{DS} に対するドレイン電流 I_D の特性を示す曲線である。このグラフにより、領域Aにおいて、ゲート長が短い場合に比べて、長い方がドレイン・ソース間の電圧の変化に対してドレイン電流の変化が少ないことがわかる。そのため、ゲート長 L を大きくすることで、特性バラツキの少ない素子が得られる。

【0069】

このためには、ゲート長を $7\mu\text{m}$ 以上にすることが望ましい。

【0070】

また、第2の実施の形態として、TFTの特性バラツキを抑えるために、TFTをマルチゲート型にする。これによって、複数のチャネル領域を有するためTFTの特性が平均化され、バラツキの少ないTFTが得られる。また、マルチゲート型構造のTFTでは、ドレイン周辺の高電界を緩和し、ホットキャリアの発生を抑制することができるため、TFTの劣化を防止することができるだけでなく、前記の空乏層対策にもなる。

【0071】

第3の実施の形態として、複数のTFTを並列に接続し、各電極電位を共通とすることで、1つの素子として用いる。これによって平均化された特性を有する

素子が得られる。

【 0 0 7 2 】

ここで、これらの各電極電位が共通で並列接続された複数の T F T を、本明細書では 1 組の T F T と呼ぶことにする。つまり、差動回路及びカレントミラー回路は、それぞれ 2 組の T F T で構成されていることになる。つまり、これらそれぞれ 2 組の T F T の平均的な特性がそろえば、アナログバッファ回路のオフセット電圧の問題は解決される。

【 0 0 7 3 】

第 4 の実施の形態として、1 組の T F T を構成する複数の T F T の配置を工夫し、2 組の T F T の平均的な特性をそろえる手法について説明する。

【 0 0 7 4 】

始めに、多結晶半導体薄膜の結晶性を決める重要な要素である、成膜の手法について説明する。まず、一般に広く用いられている、レーザーを用いた手法について説明する。

【 0 0 7 5 】

これは、非晶質半導体薄膜に、レーザーを照射して結晶化させる手法である。

【 0 0 7 6 】

ここで、1 パネル全体を一度に多結晶化するのは、パネルが大きくなるほど困難となる。というのも、パネル全面に均一にレーザーを照射することが難しく、パネル内の場所によって、照射ムラにより多結晶半導体膜の特性が大きく異なってしまうからである。

【 0 0 7 7 】

そのため、パネルの大型化に伴い、線状レーザーを用いて順次位置をずらす事によって、均一な特性の多結晶薄膜を得る工夫がなされている。しかし、線状レーザーを順次移動させていく際の重なり具合や、レーザー自体の照射エネルギーのバラツキのために、全面が均一な特性を有する多結晶半導体膜を得るのはやはり難しい。

【 0 0 7 8 】

そこで、線状レーザーの走査方向に垂直に、つまり、一度の照射される線上の

極近い位置に T F T のチャネル領域を作製することにより、比較的特性の似た T F T を得ることができる。

【 0 0 7 9 】

また、別の結晶化の手法としては、金属触媒を用い、熱を加えることで結晶化させる方法が用いられている。

【 0 0 8 0 】

この手法では、非晶質半導体層に金属触媒を添加し、熱を加えることによって金属触媒を拡散移動させ、この移動の経路に沿って非晶質半導体層の結晶化を進める。

【 0 0 8 1 】

そのため、金属触媒の添加領域を中心にして結晶化が進むため、多結晶化された半導体層の特性も、添加領域からの距離に対してバラつきを持つ。そこで、金属触媒添加領域からの距離が等しい位置に T F T のチャネル部分を配置することによって、比較的特性のそろった T F T を得ることができる。

【 0 0 8 2 】

なお、レーザーを用いて結晶化する手法と、金属触媒を用いて結晶化する手法は併用することもできる。

【 0 0 8 3 】

本発明のアナログバッファ回路では、上記のことを考慮して、T F T を配置した。この配置を示す模式図を図 1 1 に示す。

【 0 0 8 4 】

なお、図 1 1 では、ゲート電極電位が共通な 2 つの T F T を並列に接続し、1 組の T F T として、その平均的な特性を用いて動作する差動回路を例として示すが、カレントミラー回路においても、同様に T F T を配置することができる。

【 0 0 8 5 】

図 1 1 (A) は、T F T の配置を示した上面図である。また、図 1 1 (B) は、図 1 1 (A) の回路図である。図 1 1 (A) と図 1 1 (B) を比較する。

【 0 0 8 6 】

図 1 1 (A) において、差動回路を構成する T F T 1 1 0 1 ~ 1 1 0 4 は、T

FT1101とTFT1103が1組のTFTを構成し、TFT1102とTFT1104がもう1組のTFTを形成している。ここで、図11(B)において、TFT1101とTFT1103のチャネル部分は、幾何学的に点対称の位置に配置され、TFT1102とTFT1104のチャネル部分は、幾何学的に点対称の位置に配置され、この2組の対象中心の位置は一致している。この構成によって、位置に依存する結晶性のバラつき及びその他の製造上のバラつきを複数のTFTのチャネル領域の配置によって平均化することができる。そのため、比較的特性のそろった2組のTFTが得られ、バラつきの少ないアナログバッファ回路が得られる。

【0087】

この様に、いわゆるたすきがけの構成を行うことによって、位置に依存する結晶性のバラつき及びその他の製造上のバラつきを低減することが可能である。

【0088】

なお、TFTのチャネル領域の配置は、結晶性のバラつきを複数のTFTのチャネル領域の配置によって平均化することができるならば、図11で示したような点対称の配置に限らない。

【0089】

また、1組のTFTは、2つのTFTで構成されている必要はなく、2つ以上のTFTで構成されていても良い。より多くのTFTを並列に接続しその平均的な性質を用いて回路を駆動させれば、よりバラつきの少ない回路が得られる。

【0090】

上述した第1の実施の形態～第4の実施の形態によってTFTの特性バラつきを抑え、また、TFTの特性バラつきによる影響を低減することによって、オフセット電圧を低減したアナログバッファ回路が得られる。

【0091】

なお、第1の実施の形態～第4の実施の形態は自由に組み合わせて実施することが可能である。

【0092】

【実施例】

以下に、本発明の実施例について説明する。

【0093】

(実施例1)

本発明のアナログバッファ回路の例を図1に示す。

【0094】

図5に示した従来のアナログバッファ回路の構成に対して、図1では、各TFTをダブルゲート型のTFTで形成し、差動回路11、カレントミラー回路12及び定電流源13を構成している。差動回路11は、TFT1及びTFT2によって構成され、カレントミラー回路12は、TFT3及びTFT4によって構成され、定電流源13はTFT5によって構成される。

【0095】

TFT3とTFT4のゲート電極は、接続されている。TFT3及びTFT4のソース領域もしくはドレイン領域は、一方は電源線V_{dd}に接続され、もう一方はTFT1及びTFT2のソース領域もしくはドレイン領域のどちらか一方に、それぞれ接続されている。TFT3のソース領域もしくはドレイン領域で電源線V_{dd}と接続されていない側はTFT3のゲート電極と接続されている。TFT2のソース領域もしくはドレイン領域のどちらか一方でTFT4と接続されている側は、TFT2のゲート電極と接続され、出力が取り出されている。TFT1のゲート電極は入力信号が入力される入力端子と接続されている。TFT5のソース領域もしくはドレイン領域は一方は、TFT1及びTFT2のソース領域もしくはドレイン領域でTFT3及びTFT4と接続されていない側と接続され、もう一方は、接地されている。TFT5のゲート電極にはバイアス電圧が入力される。

【0096】

なお、TFT1～5としては、ダブルゲート型に限らず複数のゲートを有するマルチゲート型のTFTでもかまわない。

【0097】

このようなダブルゲート型やマルチゲート型のTFTを用いることで、チャネル領域の特性を平均化し、特性バラツキの少ない素子が得られる。また、ホット

キャリアによるTFTの劣化を抑えることができる。

【0098】

なお図では、差動回路11を構成する素子として、nチャネル型TFTを用い、カレントミラー回路12を構成する素子として、pチャネル型TFTを用いているが、差動回路11を構成する素子としてpチャネル型TFTを用い、カレントミラー回路12を構成する素子としてnチャネル型TFTを用いても問題ない。

【0099】

図1で示したアナログバッファ回路を構成するTFTのゲート長及びゲート幅は、アナログバッファ回路を組み込むソース信号線駆動回路を構成する他のTFT（このTFTをロジック部分のTFTと呼ぶことにする）と比較して倍以上大きく設定されている。

【0100】

具体的には、ゲート長は7 μ m以上で、ゲート幅は50 μ m以上に設定されている。

【0101】

上記構成によって、バラツキの少ないアナログバッファ回路が得られる。

【0102】

（実施例2）

本実施例では、実施例1とは異なる構成のアナログバッファ回路の例を図2示す。なお、図1と同じ部分は、同じ符号で示し説明は省略する。

【0103】

図2のアナログバッファ回路は、図1で示したアナログバッファに第1の増幅回路14及び第2の増幅回路15を付けたものである。

【0104】

第1の増幅回路14は、TFT20、TFT22、TFT23及びTFT24とコンデンサ21のよって構成されている。第2の増幅回路15は、TFT25及びTFT26によって構成されている。

【0105】

TFT3とTFT4のゲート電極は、接続されている。TFT3及びTFT4のソース領域もしくはドレイン領域は、一方は電源線V_{dd}に接続され、もう一方はTFT1及びTFT2のソース領域もしくはドレイン領域のどちらか一方に、それぞれ接続されている。TFT3のソース領域もしくはドレイン領域で電源線V_{dd}と接続されていない側はTFT20のゲート電極及びコンデンサ21と接続されている。TFT2のゲート電極と、TFT25及びTFT26のソース領域もしくはドレイン領域のどちらか一方は接続され、出力が取り出されている。TFT1のゲート電極は入力信号が入力される入力端子と接続されている。TFT5のソース領域もしくはドレイン領域は一方は、TFT1及びTFT2のソース領域もしくはドレイン領域でTFT3及びTFT4と接続されていない側と接続され、もう一方は、接地されている。TFT5のゲート電極にはバイアス電圧が入力される。TFT20のソース領域とドレイン領域のどちらか一方は、電源線V_{dd}と接続され、もう一方は、コンデンサ21のTFT1及びTFT3と接続されていない側、及びTFT22のソース領域もしくはドレイン領域及びゲート電極と接続されている。TFT22のゲート電極は、TFT25のゲート電極と接続されている。TFT22のソース領域もしくはドレイン領域のTFT20と接続されていない側は、TFT23のソース領域もしくはドレイン領域のどちらか一方と接続されている。TFT23のソース領域もしくはドレイン領域のTFT22と接続されていない側は、TFT23のゲート電極及び、TFT24のソース領域もしくはドレイン領域のどちらか一方及びTFT26のゲート電極と接続されている。TFT24のソース領域もしくはドレイン領域のTFT23と接続されていない側は、接地されている。TFT24のゲート電極は、バイアス電圧が入力されている。TFT25のソース領域もしくはドレイン領域のTFT2と接続されている側は、TFT26のソース領域もしくはドレイン領域のどちらか一方と接続されている。TFT25のソース領域もしくはドレイン領域のTFT2と接続されていない側は、電源線V_{dd}に接続されている。TFT26のTFT25と接続されていない側は、接地されている。

【0106】

回路を構成するTFTは一部、ダブルゲート型により構成されている。なお、

マルチゲート型でもかまわない。

【0107】

このようなダブルゲート型やマルチゲート型のTFTを用いることで、チャネル領域の特性を平均化し、特性バラツキの少ない素子が得られる。また、ホットキャリアによるTFTの劣化を抑えることができる。

【0108】

図2で示したアナログバッファ回路を構成するTFTのゲート長及びゲート幅は、アナログバッファ回路を組み込むソース信号線駆動回路を構成する他のTFT（このTFTをロジック部分のTFTと呼ぶことにする）と比較して倍以上大きく設定されている。

【0109】

具体的には、ゲート長は $7\mu\text{m}$ 以上で、ゲート幅は $50\mu\text{m}$ 以上に設定されている。

【0110】

上記構成によって、バラツキの少ないアナログバッファ回路が得られる。

【0111】

（実施例3）

本実施例では、実施例1や実施例2とは異なる構成のアナログバッファの例について図3を用いて説明する。

【0112】

図3のアナログバッファ回路は、増幅TFT3301及び定電流源3302によって構成されるソースフォロワ型のものである。定電流源3302は、TFT3303によって構成されている。

【0113】

TFT3301のゲート電極に信号が入力される。TFT3301のソース領域もしくはドレ領域は一方は、電源線V_{dd}に接続され、もう一方はTFT3303のソース領域もしくはドレイン領域に接続され出力がとられている。TFT3303のTFT3301と接続されていない側は、接地されている。TFT3303のゲート電極はバイアス電圧が入力されている。

【0114】

増幅TFT3301及び定電流源3302を構成するTFT3303は、ダブルゲート型構造である。なお、ダブルゲート構造に限らず、マルチゲート構造でもかまわない。

【0115】

このようなダブルゲート型やマルチゲート型のTFTを用いることで、チャネル領域の特性を平均化し、特性バラツキの少ない素子が得られる。また、ホットキャリアによるTFTの劣化を抑えることができる。

【0116】

図3で示したアナログバッファ回路を構成するTFTのゲート長及びゲート幅は、アナログバッファ回路を組み込むソース信号線駆動回路を構成する他のTFT（このTFTをロジック部分のTFTと呼ぶことにする）と比較して倍以上大きく設定されている。

【0117】

具体的には、ゲート長は7 μ m以上で、ゲート幅は50 μ m以上に設定されている。

【0118】

上記構成によって、バラツキの少ないアナログバッファ回路が得られる。

【0119】

（実施例4）

本実施例では、実施例1～実施例3で示したものとは異なる構成のアナログバッファ回路について、図12を用いて説明する。

【0120】

アナログバッファ回路は、差動回路121、123、カレントミラー回路122、124、定電流源125によって構成される。

【0121】

図12においては、回路を構成するTFTはダブルゲート型である。なお、ダブルゲート構造に限らず、マルチゲート構造でもかまわない。

【0122】

このようなダブルゲート型やマルチゲート型のTFTを用いることで、チャネル領域の特性を平均化し、特性バラツキの少ない素子が得られる。また、ホットキャリアによるTFTの劣化を抑えることができる。

【0123】

図12で示したアナログバッファ回路を構成するTFTのゲート長及びゲート幅は、アナログバッファ回路を組み込むソース信号線駆動回路を構成する他のTFT（このTFTをロジック部分のTFTと呼ぶことにする）と比較して倍以上大きく設定されている。

【0124】

具体的には、ゲート長は $7\mu\text{m}$ 以上で、ゲート幅は $50\mu\text{m}$ 以上に設定されている。

【0125】

また、差動回路121、123及びカレントミラー回路122、124において、2つずつのTFT1201とTFT1202、TFT1203とTFT1204、TFT1205とTFT1206、TFT1207とTFT1208、TFT1209とTFT1210、TFT1211とTFT1212、TFT1213とTFT1214、TFT1215とTFT1216を並列に接続して、1組のTFTとして用いている。

【0126】

上記構成によって、2つのTFTの平均的な特性を用いて回路を駆動することができるため、全体としてバラツキの少ない回路を得ることができる。

【0127】

また、1つの差動回路及び1つのカレントミラー回路の組2つ（126及び127）を並列につなげて用いている。これによって、アナログバッファ回路のバラツキをより低減することができる。

【0128】

図12に示した回路を実際に作製した時のTFTの配置の例を図13に示す。

【0129】

これは、多結晶半導体層が形成された基板を上面より観察した例である。

【0130】

図13では、実施の形態において述べたように、同じ特性を求められるTFTをそれぞれ複数のTFTを並列に接続したものととして構成した場合、それらの複数のTFTのチャネル領域の配置を工夫し、多結晶半導体膜の結晶性の位置依存性によるTFTの特性バラつきを緩和している。

【0131】

ここで、わかりやすくするために、図13におけるTFTの配置を、図12における符号で示した図を図17に示す。

【0132】

図12と図17を比較する。ここで、図12において、同じ特性が求められる2組のTFT1221と1222に注目して説明する。

【0133】

1組のTFT1221を構成するTFT1201及びTFT1202は、ある対象中心に対して点対称に配置されている。一方、もう1組のTFT1222を構成するTFT1203及びTFT1204も、ある対象中心に対して点対称に配置されている。この2組のTFTの対象中心は一致する。これによって、特性が似た2組のTFTが得られる。その他の2組のTFT1223と1224、1225と1226、1227と1228についても同様の配置をとっている。このようにTFTを配置することによって、バラつきの少ないアナログバッファ回路が得られる。

【0134】

上記構成のアナログバッファ回路の特性を図20に示す。

【0135】

図20(A)は、アナログバッファ回路の入力電圧 V_{in} に対する出力電圧 V_{out} の特性を示したグラフである。

【0136】

図20(B)は、アナログバッファ回路の入力電圧 V_{in} が4.0Vに対する出力電圧 V_{out} の値を示したグラフである。40個の測定点の結果について示す。

【0137】

図 2 0 (C) は、アナログバッファ回路の入力電圧 V_{in} が 8. 0 V に対する出力電圧 V_{out} の値を示したグラフである。4 0 個の測定点の結果について示す。

【0 1 3 8】

図 2 0 (D) は、アナログバッファ回路の入力電圧 V_{in} が 1 2. 0 V に対する出力電圧 V_{out} の値を示したグラフである。4 0 個の測定点の結果について示す。

【0 1 3 9】

多結晶 T F T を用いたアナログバッファ回路で、出力電圧のバラつきを 5 0 m V 以下にすることができた。

【0 1 4 0】

上記構成によって、バラつきの少ないアナログバッファ回路が得られる。

【0 1 4 1】

(実施例 5)

本実施例では、本発明のアナログバッファ回路を有する半導体装置として、E L 表示装置を作製した場合について説明する。この E L 表示装置において、同一基板上に画素部と、画素部の周辺に設ける駆動回路の T F T (n チャネル型 T F T 及び p チャネル型 T F T を代表的に示す) を同時に作製する方法について、図 2 1 ~ 図 2 4 を用いて詳細に説明する。

【0 1 4 2】

まず、本実施例ではコーニング社の # 7 0 5 9 ガラスや # 1 7 3 7 ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板 3 0 0 を用いる。なお、基板 3 0 0 としては、透光性を有する基板であれば限定されず、石英基板を用いても良い。また、本実施例の処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

【0 1 4 3】

次いで、基板 3 0 0 上に酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜から成る下地膜 3 0 1 を形成する。本実施例では下地膜 3 0 1 として 2 層構造を用いるが、前記絶縁膜の単層膜または 2 層以上積層させた構造を用いても良い。下地膜 3 0 1 の一層目としては、プラズマ C V D 法を用い、 SiH_4 、N

H_3 、及び N_2O を反応ガスとして成膜される酸化窒化珪素膜 3 0 1 a を 1 0 ~ 2 0 0 nm (好ましくは 5 0 ~ 1 0 0 nm) 形成する。本実施例では、膜厚 5 0 nm の酸化窒化珪素膜 3 0 1 a (組成比 $Si = 32\%$ 、 $O = 27\%$ 、 $N = 24\%$ 、 $H = 17\%$) を形成した。次いで、下地膜 3 0 1 の二層目としては、プラズマ CVD 法を用い、 SiH_4 、及び N_2O を反応ガスとして成膜される酸化窒化珪素膜 3 0 1 b を 5 0 ~ 2 0 0 nm (好ましくは 1 0 0 ~ 1 5 0 nm) の厚さに積層形成する。本実施例では、膜厚 1 0 0 nm の酸化窒化珪素膜 3 0 1 b (組成比 $Si = 32\%$ 、 $O = 59\%$ 、 $N = 7\%$ 、 $H = 2\%$) を形成した。

【 0 1 4 4 】

次いで、下地膜上に半導体層 3 0 2 ~ 3 0 5 を形成する。半導体層 3 0 2 ~ 3 0 5 は、非晶質構造を有する半導体膜を公知の手段 (スパッタ法、LPCVD 法、またはプラズマ CVD 法等) により成膜した後、公知の結晶化处理 (レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等) を行って得られた結晶質半導体膜を所望の形状にパターニングして形成する。この半導体層 3 0 2 ~ 3 0 5 の厚さは 2 5 ~ 8 0 nm (好ましくは 3 0 ~ 6 0 nm) の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくは珪素 (シリコン) またはシリコンゲルマニウム (Si_xGe_{1-x} ($x = 0.0001 \sim 0.02$)) 合金などで形成すると良い。本実施例では、プラズマ CVD 法を用い、5 5 nm の非晶質珪素膜を成膜した後、ニッケルを含む溶液を非晶質珪素膜上に保持させた。この非晶質珪素膜に脱水素化 (5 0 0 °C、1 時間) を行った後、熱結晶化 (5 5 0 °C、4 時間) を行い、さらに結晶化を改善するためのレーザーアニール処理を行って結晶質珪素膜を形成した。そして、この結晶質珪素膜をフォトリソグラフィ法を用いたパターニング処理によって、半導体層 3 0 2 ~ 3 0 5 を形成した。

【 0 1 4 5 】

また、半導体層 3 0 2 ~ 3 0 5 を形成した後、TFT のしきい値電圧を制御するために微量な不純物元素 (ボロンまたはリン) のドーピングを行ってもよい。

【 0 1 4 6 】

また、レーザー結晶化法で結晶質半導体膜を作製する場合には、パルス発振型

または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いることができる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30Hzとし、レーザーエネルギー密度を100～400mJ/cm²(代表的には200～300mJ/cm²)とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1～10kHzとし、レーザーエネルギー密度を300～600mJ/cm²(代表的には350～500mJ/cm²)とすると良い。そして幅100～1000μm、例えば400μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を50～90%として行えばよい。

【0147】

次いで、半導体層302～305を覆うゲート絶縁膜306を形成する。ゲート絶縁膜306はプラズマCVD法またはスパッタ法を用い、厚さを40～150nmとして珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により110nmの厚さで酸化窒化珪素膜(組成比Si=32%、O=59%、N=7%、H=2%)で形成した。勿論、ゲート絶縁膜は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0148】

また、酸化珪素膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Orthosilicate) とO₂とを混合し、反応圧力40Pa、基板温度300～400℃とし、高周波(13.56MHz)電力密度0.5～0.8W/cm²で放電させて形成することができる。このようにして作製される酸化珪素膜は、その後400～500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0149】

次いで、図21(A)に示すように、ゲート絶縁膜306上に膜厚20～10

0 nm の第 1 の導電膜 3 0 7 と、膜厚 1 0 0 ~ 4 0 0 nm の第 2 の導電膜 3 0 8 とを積層形成する。本実施例では、膜厚 3 0 nm の Ta N 膜からなる第 1 の導電膜 3 0 7 と、膜厚 3 7 0 nm の W 膜からなる第 2 の導電膜 3 0 8 を積層形成した。Ta N 膜はスパッタ法で形成し、Ta のターゲットを用い、窒素を含む雰囲気内でスパッタした。また、W 膜は、W のターゲットを用いたスパッタ法で形成した。その他に 6 フッ化タングステン (WF_6) を用いる熱 CVD 法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W 膜の抵抗率は $20 \mu\Omega \text{ cm}$ 以下にすることが望ましい。W 膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W 膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。従って、本実施例では、高純度の W (純度 99.9999%) のターゲットを用いたスパッタ法で、さらに成膜時に気相中からの不純物の混入がないように十分配慮して W 膜を形成することにより、抵抗率 $9 \sim 20 \mu\Omega \text{ cm}$ を実現することができた。

【0150】

なお、本実施例では、第 1 の導電膜 3 0 7 を Ta N、第 2 の導電膜 3 0 8 を W としたが、特に限定されず、いずれも Ta、W、Ti、Mo、Al、Cu、Cr、Nd から選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶珪素膜に代表される半導体膜を用いてもよい。また、Ag、Pd、Cu からなる合金を用いてもよい。また、第 1 の導電膜をタンタル (Ta) 膜で形成し、第 2 の導電膜を W 膜とする組み合わせ、第 1 の導電膜を窒化チタン (TiN) 膜で形成し、第 2 の導電膜を W 膜とする組み合わせ、第 1 の導電膜を窒化タンタル (Ta N) 膜で形成し、第 2 の導電膜を Al 膜とする組み合わせ、第 1 の導電膜を窒化タンタル (Ta N) 膜で形成し、第 2 の導電膜を Cu 膜とする組み合わせとしてもよい。

【0151】

次に、図 2 1 (B) に示すようにフォトリソグラフィ法を用いてレジストからなるマスク 3 0 9 ~ 3 1 3 を形成し、電極及び配線を形成するための第 1 のエッチング処理を行う。第 1 のエッチング処理では第 1 及び第 2 のエッチング条件で

行う。本実施例では第1のエッチング条件として、ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスに CF_4 と Cl_2 と O_2 とを用い、それぞれのガス流量比を25/25/10 (sccm) とし、1 Paの圧力でコイル型の電極に500 WのRF (13.56 MHz) 電力を投入してプラズマを生成してエッチングを行った。ここでは、松下電器産業(株)製のICPを用いたドライエッチング装置 (Model E645-□ ICP) を用いた。基板側 (試料ステージ) にも150 WのRF (13.56 MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。この第1のエッチング条件によりW膜をエッチングして第1の導電層の端部をテーパ形状とする。第1のエッチング条件でのWに対するエッチング速度は200.39 nm/min、Ta₂N₅に対するエッチング速度は80.32 nm/minであり、Ta₂N₅に対するWの選択比は約2.5である。また、この第1のエッチング条件によって、Wのテーパ角は、約26°となる。

【0152】

この後、図21 (B) に示すようにレジストからなるマスク309~313を除去せずに第2のエッチング条件に変え、エッチング用ガスに CF_4 と Cl_2 とを用い、それぞれのガス流量比を30/30 (sccm) とし、1 Paの圧力でコイル型の電極に500 WのRF (13.56 MHz) 電力を投入してプラズマを生成して約30秒程度のエッチングを行った。基板側 (試料ステージ) にも20 WのRF (13.56 MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。 CF_4 と Cl_2 を混合した第2のエッチング条件ではW膜及びTa₂N₅膜とも同程度にエッチングされる。第2のエッチング条件でのWに対するエッチング速度は58.97 nm/min、Ta₂N₅に対するエッチング速度は66.43 nm/minである。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20%程度の割合でエッチング時間を増加させると良い。

【0153】

上記第1のエッチング処理では、レジストからなるマスクの形状に適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。このテーパ部の角度は15~4

5° とすればよい。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層314～318（第1の導電層314a～318aと第2の導電層314b～318b）を形成する。319はゲート絶縁膜であり、第1の形状の導電層314～318で覆われない領域は20～50nm程度エッチングされ薄くなった領域が形成される。

【0154】

そして、レジストからなるマスクを除去せずに第1のドーピング処理を行い、半導体層にn型を付与する不純物元素を添加する。（図21（B））ドーピング処理はイオンドープ法、若しくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{15} \text{ atoms/cm}^3$ とし、加速電圧を60～100keVとして行う。本実施例ではドーズ量を $1.5 \times 10^{15} \text{ atoms/cm}^3$ とし、加速電圧を80keVとして行った。n型を付与する不純物元素として15族に属する元素、典型的にはリン（P）または砒素（As）を用いるが、ここではリン（P）を用いた。この場合、導電層314～318がn型を付与する不純物元素に対するマスクとなり、自己整合的に高濃度不純物領域118～121が形成される。高濃度不純物領域320～323には $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度範囲でn型を付与する不純物元素を添加する。

【0155】

次いで、図21（C）に示すようにレジストからなるマスクを除去せずに第2のエッチング処理を行う。ここでは、エッチング用ガスに CF_4 と Cl_2 と O_2 とを用い、それぞれのガス流量比を20/20/20（sccm）とし、1Paの圧力でコイル型の電極に500WのRF（13.56MHz）電力を投入してプラズマを生成してエッチングを行った。基板側（試料ステージ）にも20WのRF（13.56MHz）電力を投入し、実質的に負の自己バイアス電圧を印加する。第2のエッチング処理でのWに対するエッチング速度は124.62nm/min、Ta₂N₅に対するエッチング速度は20.67nm/minであり、Ta₂N₅に対するWの選択比は6.05である。従って、W膜が選択的にエッチングされる。この第2のエッチングによりWのテーパ角は70°となった。この第2のエッチング処理により第2の導電層324b～328bを形成する。一方、第

1の導電層314a～318aは、ほとんどエッチングされず、第1の導電層324a～328aを形成する。

【0156】

次いで、第2のドーピング処理を行う。ドーピングは第2の導電層324b～328bを不純物元素に対するマスクとして用い、第1の導電層のテーパ部下方の半導体層に不純物元素が添加されるようにドーピングする。本実施例では、不純物元素としてP（リン）を用い、ドーズ量 $1.5 \times 10^{14} \text{ atoms/cm}^3$ 、電流密度 $0.5 \mu\text{A}$ 、加速電圧 90 keV にてプラズマドーピングを行った。こうして、第1の導電層と重なる低濃度不純物領域329～333を自己整合的に形成する。この低濃度不純物領域329～332へ添加されたリン（P）の濃度は、 $1 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ であり、且つ、第1の導電層のテーパ部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層のテーパ部と重なる半導体層において、第1の導電層のテーパ部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。また、高濃度不純物領域333～337にも不純物元素が添加され、高濃度不純物領域333～337を形成する。

【0157】

次いで、図22（B）に示すようにレジストからなるマスクを除去してからフォトリソグラフィ法を用いて、第3のエッチング処理を行う。この第3のエッチング処理では第1の導電層のテーパ部を部分的にエッチングして、第2の導電層と重なる形状にするために行われる。ただし、第3のエッチングを行わない領域には、図22（B）に示すようにレジスト（338、339）からなるマスクを形成する。

【0158】

第3のエッチング処理におけるエッチング条件は、エッチングガスとして Cl_2 と SF_6 とを用い、それぞれのガス流量比を $10/50 \text{ (sccm)}$ として第1及び第2のエッチングと同様にICPEッチング法を用いて行う。なお、第3のエッチング処理でのTa₂Nに対するエッチング速度は、 111.2 nm/min であり、ゲート絶縁膜に対するエッチング速度は、 12.8 nm/min である。

【0159】

本実施例では、1.3Paの圧力でコイル型の電極に500WのRF（13.56MHz）電力を投入してプラズマを生成してエッチングを行った。基板側（試料ステージ）にも10WのRF（13.56MHz）電力を投入し、実質的に負の自己バイアス電圧を印加する。以上により、第1の導電層340a～342aが形成される。

【0160】

上記第3のエッチングによって、第1の導電層340a～342aと重ならない不純物領域（LDD領域）343～345が形成される。なお、不純物領域（GOLD領域）346および347は、第1の導電層324aおよび325aと重なったままである。

【0161】

また、第1の導電層324aと第2の導電層324bとで形成された電極は、最終的に駆動回路のnチャネル型TFTのゲート電極となり、また、第1の導電層340aと第2の導電層340bとで形成された電極は、最終的に駆動回路のpチャネル型TFTのゲート電極となる。

【0162】

同様に、第1の導電層341aと第2の導電層341bとで形成された電極は、最終的に画素部のnチャネル型TFTのゲート電極となり、第1の導電層342aと第2の導電層342bとで形成された電極は、最終的に画素部のpチャネル型TFTのゲート電極となる。さらに第1の導電層326aと第2の導電層326bとで形成された電極は、最終的に画素部のコンデンサ（保持容量）の一方の電極となる。

【0163】

このようにして、本実施例は、第1の導電層340a～342aと重ならない不純物領域（LDD領域）343～345と、第1の導電層324aおよび326aと重なる不純物領域（GOLD領域）346および347を同時に形成することができ、TFT特性に応じた作り分けが可能となる。

【0164】

次にゲート絶縁膜 3 1 9 をエッチング処理する。ここでのエッチング処理は、エッチングガスに CHF_3 を用い、反応性イオンエッチング法 (R I E 法) を用いて行う。本実施例では、チャンバー圧力 6 . 7 P a、R F 電力 8 0 0 W、 CHF_3 ガス流量 3 5 s c c m で第 3 のエッチング処理を行った。

【 0 1 6 5 】

これにより、高濃度不純物領域 3 3 3 ~ 3 3 7 の一部は露呈し、絶縁膜 3 5 6 a ~ 3 5 6 e が形成される。

【 0 1 6 6 】

次いで、レジストからなるマスクを除去した後、新たにレジストからなるマスク 3 4 8、3 4 9 を形成して第 3 のドーピング処理を行う。この第 3 のドーピング処理により、p チャンネル型 T F T の活性層となる半導体層に前記一導電型 (n 型) とは逆の導電型 (p 型) を付与する不純物元素が添加された不純物領域 3 5 0 ~ 3 5 5 を形成する。(図 2 2 (C)) 第 1 の導電層 3 4 0 a、3 2 6 a および 3 4 2 a を不純物元素に対するマスクとして用い、p 型を付与する不純物元素を添加して自己整合的に不純物領域を形成する。

【 0 1 6 7 】

本実施例では、不純物領域 3 5 0 ~ 3 5 5 はジボラン (B_2H_6) を用いたイオンドーピング法で形成する。なお、この第 3 のドーピング処理の際には、n チャンネル型 T F T を形成する半導体層はレジストからなるマスク 3 4 8、3 4 9 で覆われている。第 1 のドーピング処理及び第 2 のドーピング処理によって、不純物領域 3 5 0 ~ 3 5 5 にはそれぞれ異なる濃度でリンが添加されているが、そのいずれの領域においても p 型を付与する不純物元素の濃度が $2 \times 10^{20} \sim 2 \times 10^{21} \text{ atoms/cm}^3$ となるようにドーピング処理することにより、p チャンネル型 T F T のソース領域およびドレイン領域として機能するために何ら問題は生じない。

【 0 1 6 8 】

以上までの工程でそれぞれの半導体層に不純物領域が形成される。

【 0 1 6 9 】

なお、本実施例では、ゲート絶縁膜をエッチングした後で不純物 (ボロン) のドーピングを行う方法を示したが、ゲート絶縁膜をエッチングしないで不純物の

ドーピングを行っても良い。

【0170】

次いで、レジストからなるマスク348、349を除去して図23(A)に示すように第1の層間絶縁膜357を形成する。この第1の層間絶縁膜357としては、プラズマCVD法またはスパッタ法を用い、厚さを100～200nmとして珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により膜厚150nmの酸化窒化珪素膜を形成した。勿論、第1の層間絶縁膜357は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0171】

次いで、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程はファーネスアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400～700℃、代表的には500～550℃で行えばよく、本実施例では550℃、4時間の熱処理で活性化処理を行った。なお、熱アニール法の他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。

【0172】

なお、本実施例では、上記活性化処理と同時に、結晶化の際に触媒として使用したニッケルが高濃度のリンを含む不純物領域(334～337、350、352)にゲッタリングされ、主にチャネル形成領域となる半導体層中のニッケル濃度が低減される。このようにして作製したチャネル形成領域を有するTFETはオフ電流値が下がり、結晶性が良いことから高い電界効果移動度を得られ、良好な特性を達成することができる。

【0173】

また、第1の層間絶縁膜を形成する前に活性化処理を行っても良い。ただし、用いた配線材料が熱に弱い場合には、本実施例のように配線等を保護するため層間絶縁膜(シリコンを主成分とする絶縁膜、例えば窒化珪素膜)を形成した後で活性化処理を行うことが好ましい。

【0174】

その他、活性化処理を行った後でドーピング処理を行い、第1の層間絶縁膜を形成させても良い。

【0175】

さらに、3～100%の水素を含む雰囲気中で、300～550℃で1～12時間の熱処理を行い、半導体層を水素化する工程を行う。本実施例では水素を約3%の含む窒素雰囲気中で410℃、1時間の熱処理を行った。この工程は層間絶縁膜に含まれる水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0176】

また、活性化処理としてレーザーアニール法を用いる場合には、上記水素化を行った後、エキシマレーザーやYAGレーザー等のレーザー光を照射することが望ましい。

【0177】

次いで、図23（B）に示すように第1の層間絶縁膜357上に有機絶縁物材料から成る第2の層間絶縁膜358を形成する。本実施例では膜厚1.6 μm のアクリル樹脂膜を形成した。次いで、各不純物領域333、336、350、352に達するコンタクトホールを形成するためのパターニングを行う。

【0178】

第2の層間絶縁膜358としては、珪素を含む絶縁材料や有機樹脂からなる膜を用いる。珪素を含む絶縁材料としては、酸化珪素、窒化珪素、酸化窒化珪素を用いることができ、また有機樹脂としては、ポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）などを用いることができる。

【0179】

本実施例では、プラズマCVD法により形成された酸化窒化珪素膜を形成した。なお、酸化窒化珪素膜の膜厚として好ましくは1～5 μm （さらに好ましくは2～4 μm ）とすればよい。酸化窒化珪素膜は、膜自身に含まれる水分が少ないためにEL素子の劣化を抑える上で有効である。

【0180】

また、コンタクトホール形成には、ドライエッチングまたはウェットエッチングを用いることができるが、エッチング時における静電破壊の問題を考えると、ウェットエッチング法を用いるのが望ましい。

【0181】

さらに、ここでのコンタクトホール形成において、第1層間絶縁膜及び第2層間絶縁膜を同時にエッチングするため、コンタクトホールの形状を考えると第2層間絶縁膜を形成する材料は、第1層間絶縁膜を形成する材料よりもエッチング速度の速いものを用いるのが好ましい。

【0182】

そして、各不純物領域333、336、350、352とそれぞれ電氣的に接続する配線359～366を形成する。そして、膜厚50nmのTi膜と、膜厚500nmの合金膜（AlとTiとの合金膜）との積層膜をパターンニングして形成するが、他の導電膜を用いても良い。

【0183】

次いで、その上に透明導電膜を80～120nmの厚さで形成し、パターンニングすることによって透明電極367を形成する。（図23（B））

【0184】

なお、本実施例では、透明電極として酸化インジウム・スズ（ITO）膜や酸化インジウムに2～20[%]の酸化亜鉛（ZnO）を混合した透明導電膜を用いる。

【0185】

また、透明電極367は、ドレイン配線365と接して重ねて形成することによってEL駆動用TFTのドレイン領域と電氣的な接続が形成される。

【0186】

次に、図24（A）に示すように、珪素を含む絶縁膜（本実施例では酸化珪素膜）を500nmの厚さに形成し、透明電極367に対応する位置に開口部を形成して、バンクとして機能する第3の層間絶縁膜368を形成する。開口部を形成する際、ウェットエッチング法を用いることで容易にテーパー形状の側壁とす

ることが出来る。開口部の側壁が十分になだらかでないと段差に起因するE L層の劣化が顕著な問題となってしまうため、注意が必要である。

【0187】

なお、本実施例においては、第3の層間絶縁膜として酸化珪素でなる膜を用いているが、場合によっては、ポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）といった有機樹脂膜を用いることもできる。

【0188】

次に、図24（A）で示すようにE L層369を蒸着法により形成し、更に蒸着法により陰極（MgAg電極）370および保護電極371を形成する。このときE L層369及び陰極370を形成するに先立って透明電極367に対して熱処理を施し、水分を完全に除去しておくことが望ましい。なお、本実施例ではE L素子の陰極としてMgAg電極を用いるが、公知の他の材料であっても良い。

【0189】

なお、E L層369としては、公知の材料を用いることができる。本実施例では正孔輸送層（Hole transporting layer）及び発光層（Emitting layer）でなる2層構造をE L層とするが、正孔注入層、電子注入層若しくは電子輸送層のいずれかを設ける場合もある。このように組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。

【0190】

本実施例では正孔輸送層としてポリフェニレンビニレンを蒸着法により形成する。また、発光層としては、ポリビニルカルバゾールに1，3，4-オキサジアゾール誘導体のPBDを30～40%分子分散させたものを蒸着法により形成し、緑色の発光中心としてクマリン6を約1%添加している。

【0191】

また、保護電極371でもE L層369を水分や酸素から保護することは可能であるが、さらに好ましくはパッシベーション膜372を設けると良い。本実施例ではパッシベーション膜372として300nm厚の窒化珪素膜を設ける。このパッシベーション膜も保護電極371の後に大気解放しないで連続的に形成し

ても構わない。

【0192】

また、保護電極371は陰極370の劣化を防ぐために設けられ、アルミニウムを主成分とする金属膜が代表的である。勿論、他の材料でも良い。また、EL層369、陰極370は非常に水分に弱いので、保護電極371までを大気解放しないで連続的に形成し、外気からEL層を保護することが望ましい。

【0193】

なお、EL層369の膜厚は10～400nm（典型的には60～150nm）、陰極370の厚さは80～200nm（典型的には100～150nm）とすれば良い。

【0194】

こうして図24（A）に示すような構造のELモジュールが完成する。なお、本実施例におけるELモジュールの作製工程においては、回路の構成および工程の関係上、ゲート電極を形成している材料であるTa、Wによってソース信号線を形成し、ソース、ドレイン電極を形成している配線材料であるAlによってゲート信号線を形成しているが、異なる材料を用いても良い。

【0195】

また、nチャネル型TFT501及びpチャネル型TFT502を有する駆動回路506と、スイッチング用TFT503、EL駆動用TFT504及びコンデンサ505とを有する画素部507を同一基板上に形成することができる。

【0196】

なお、本実施例においては、スイッチング用TFT503にnチャネル型TFT、EL駆動用TFT504にpチャネル型TFTを用い、EL素子の素子構成から下面出射となる構成を示したが、本実施例は、好ましい一形態にすぎず、これに限られる必要はない。

【0197】

駆動回路506のnチャネル型TFT501はチャネル形成領域333、ゲート電極の一部を構成する第1の導電層324aと重なる低濃度不純物領域329（GOLD領域）とソース領域またはドレイン領域として機能する高濃度不純物

領域333を有している。pチャネル型TFT502にはチャネル形成領域373、ゲート電極の一部を構成する第1の導電層340aと重ならない不純物領域343、ソース領域またはドレイン領域として機能する不純物領域350および353を有している。

【0198】

画素部507のスイッチング用TFT503にはチャネル形成領域374、ゲート電極を形成する第1の導電層341aと重ならず、ゲート電極の外側に形成される低濃度不純物領域344（LDD領域）とソース領域またはドレイン領域として機能する高濃度不純物領域336を有している。

【0199】

画素部507のEL駆動用TFT504にはチャネル形成領域375、ソース領域またはドレイン領域として機能する高濃度不純物領域352および355を有している。また、コンデンサ505は、第一の導電層326aと第二の導電層326bを一方の電極として機能するように形成されている。

【0200】

なお、本実施例においては、画素電極（陽極）上にEL層を形成させた後、陰極を形成させる構造を示したが、画素電極（陰極）上にEL層及び陽極を形成させる構造としても良い。ただし、この場合には、これまで説明した下面出射と異なり、上面出射の形態をとる。また、この時、スイッチング用TFTおよびEL駆動用TFTは、nチャネル型TFTで形成するのが望ましい。

【0201】

本実施例は、実施例1～実施例4と自由に組み合わせて、実施することが可能である。

【発明の効果】

多結晶TFTにより構成されたアナログバッファ回路のバラつきが問題となっていた。なお、補正回路を用いてバラつきを補正することができるが、補正回路の分、回路や駆動操作が複雑になることが問題となっていた。

【0202】

本発明では、TFTのゲート長及びゲート幅を大きく設定する。また、各電極

電位が共通の複数のT F Tを並列に接続して使用する。加えて、これらの並列に接続された複数のT F Tのチャネル部分の配置を工夫する。これによって、補正回路を用いなくて、全体としてバラツキの少ないアナログバッファ回路が得られ、バラツキの少ない半導体装置を提供することができる。

【図面の簡単な説明】

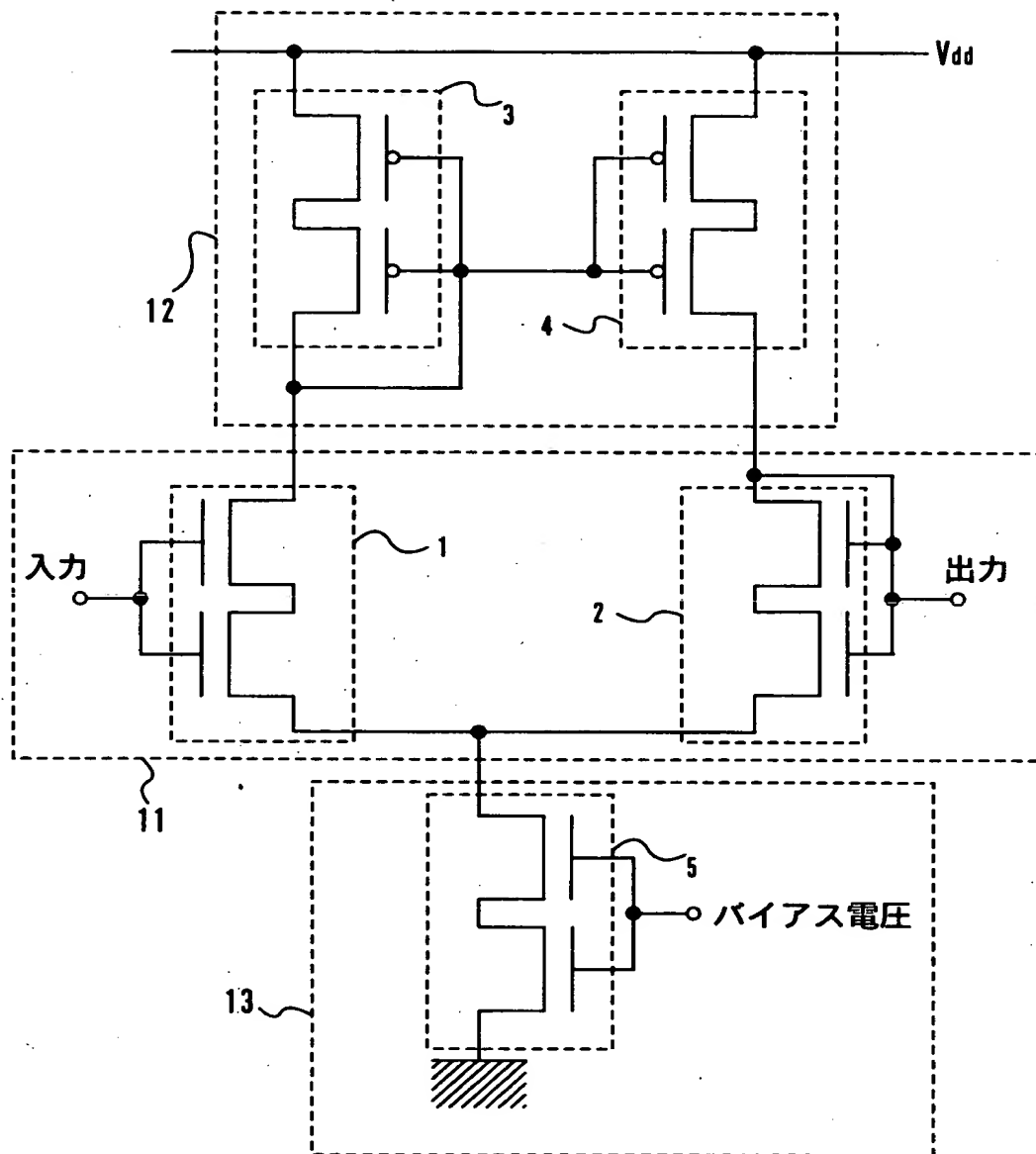
- 【図 1】 本発明のアナログバッファ回路の回路図。
- 【図 2】 本発明のアナログバッファ回路の回路図。
- 【図 3】 本発明のアナログバッファ回路の回路図。
- 【図 4】 ゲート長とドレイン電流とソース・ドレイン間電圧の関係を示す図。
- 【図 5】 従来のアナログバッファ回路の回路図。
- 【図 6】 従来の補正回路付のアナログバッファ回路の回路図。
- 【図 7】 従来の補正回路付のアナログバッファ回路のタイミングチャートを示す図。
- 【図 8】 アクティブマトリクス型表示装置のブロック図。
- 【図 9】 点順次駆動のソース信号線駆動回路の構成を示す図。
- 【図 1 0】 線順次駆動のソース信号線駆動回路の構成を示す図。
- 【図 1 1】 T F Tの配置を示す平面図及び回路図。
- 【図 1 2】 本発明のアナログバッファ回路の回路図。
- 【図 1 3】 本発明のアナログバッファ回路の平面図。
- 【図 1 4】 多結晶半導体の結晶粒界とチャネル領域の関係を示す図。
- 【図 1 5】 E L表示装置の画素の構成を示す図。
- 【図 1 6】 多結晶半導体の結晶粒界とチャネル領域の関係を示す図。
- 【図 1 7】 本発明のアナログバッファ回路のT F Tの配置を示す平面図。
- 【図 1 8】 線順次駆動のソース信号線駆動回路の構成を示す図。
- 【図 1 9】 T F Tのゲート幅としきい値特性のバラツキの関係を示す図。
- 【図 2 0】 本発明のアナログバッファ回路の特性を示す図。
- 【図 2 1】 本発明のE L表示装置の作製方法を示す図。
- 【図 2 2】 本発明のE L表示装置の作製方法を示す図。

【図 2 3】 本発明の E L 表示装置の作製方法を示す図。

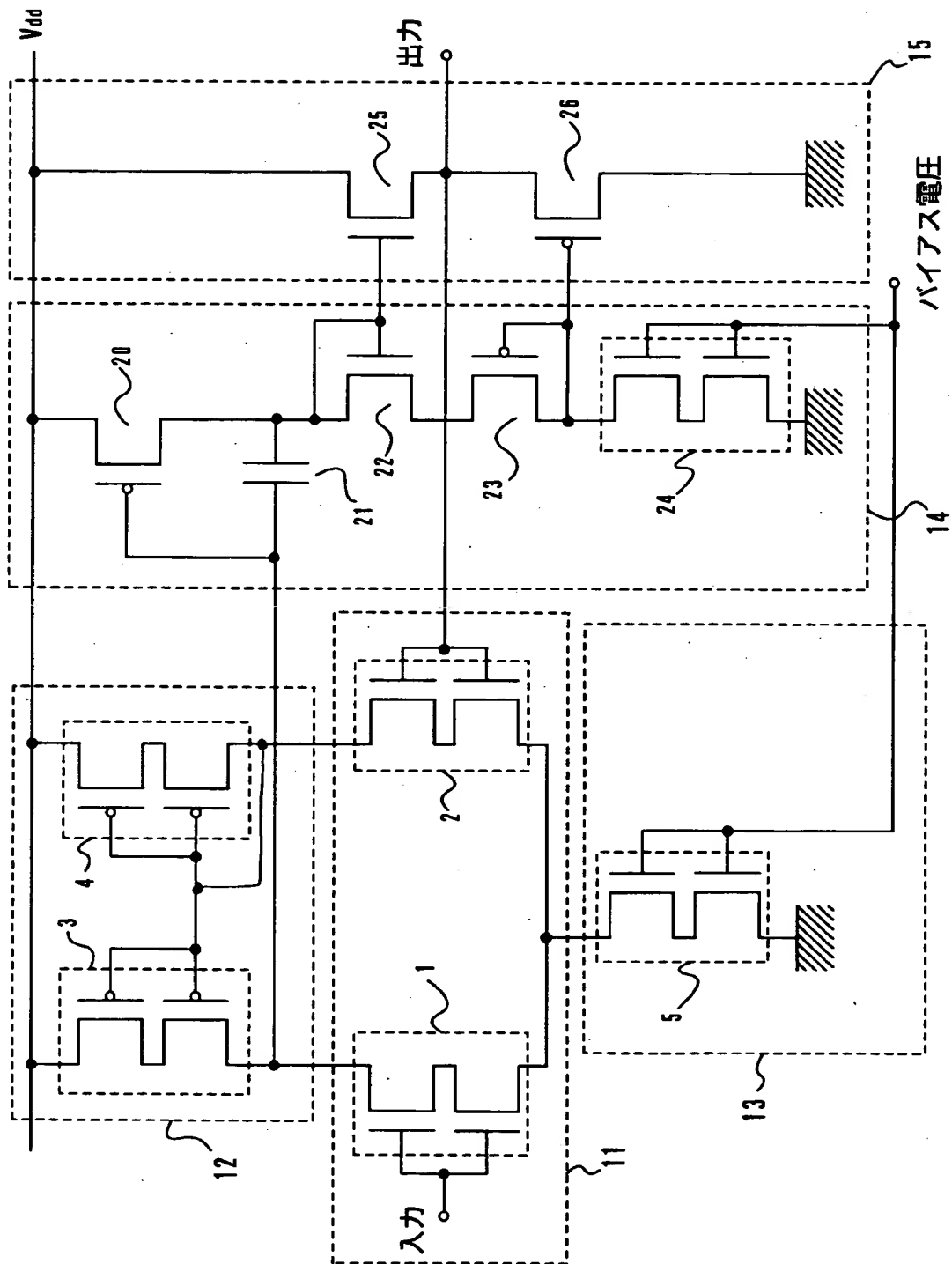
【図 2 4】 本発明の E L 表示装置の作製方法を示す図。

【書類名】 図面

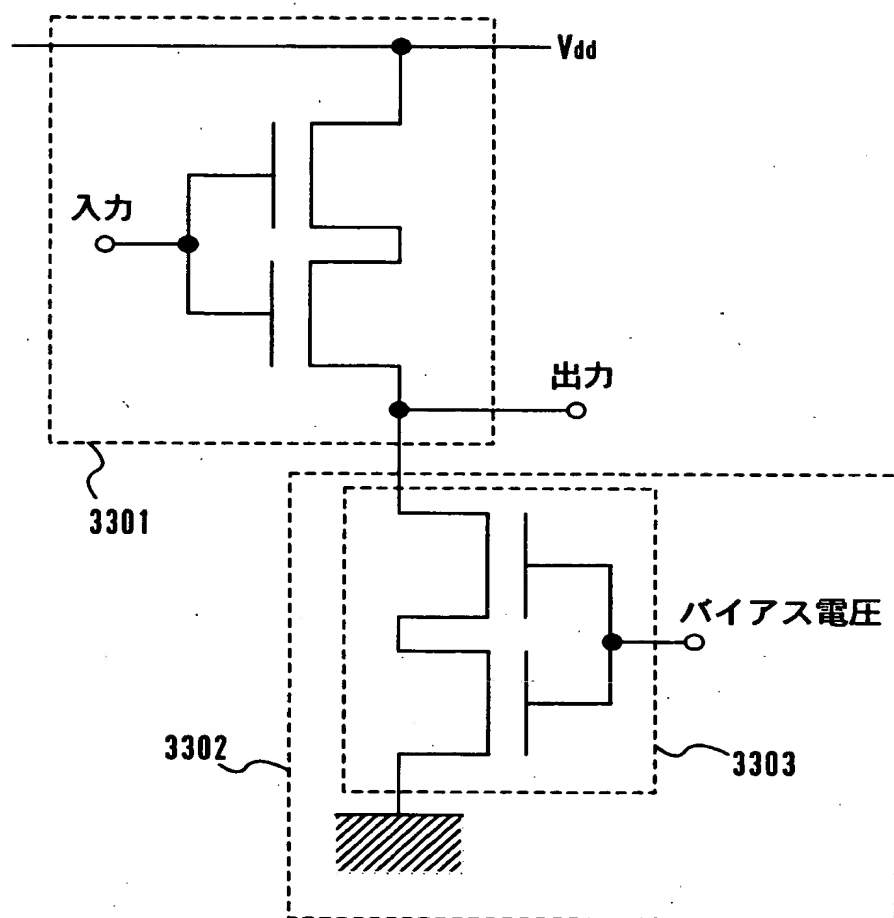
【図 1】



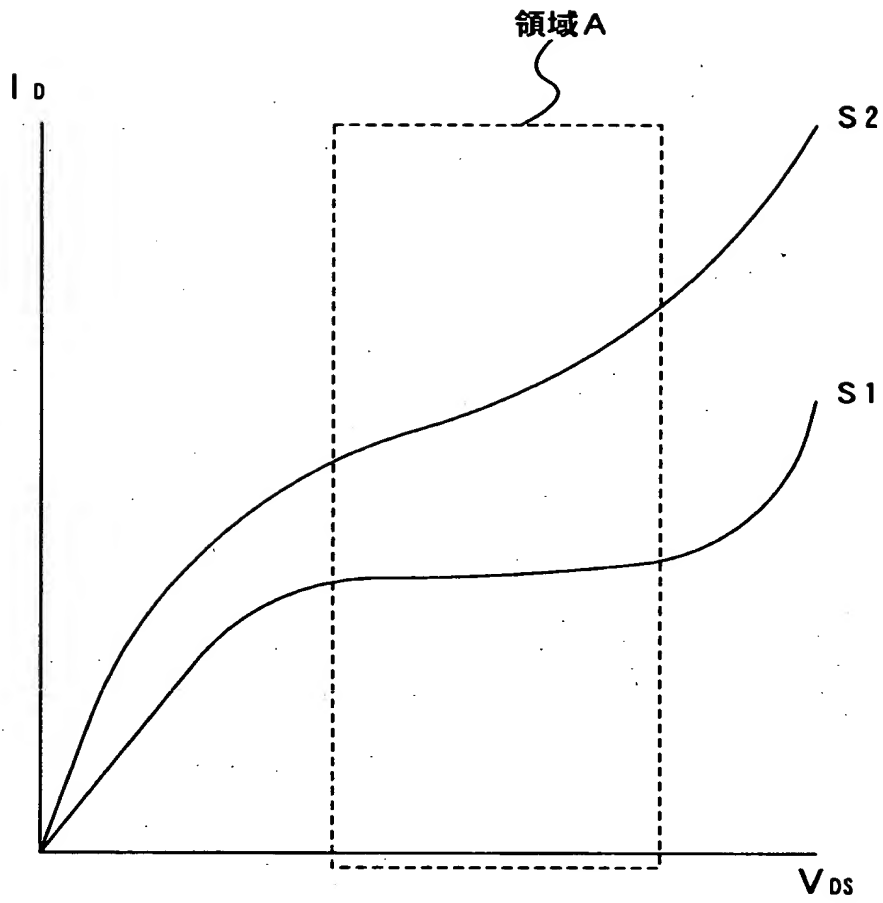
【図 2】



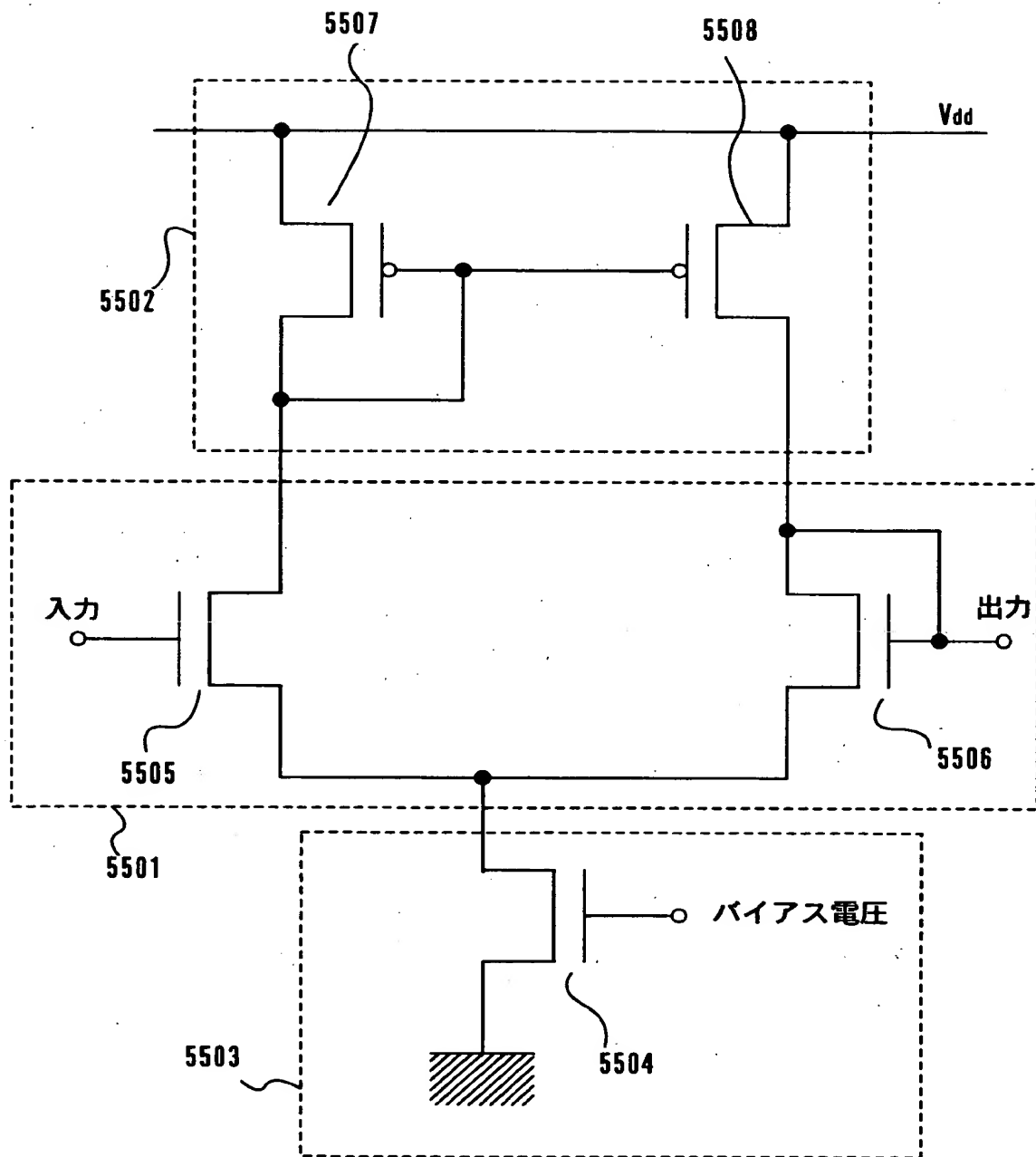
【図 3】



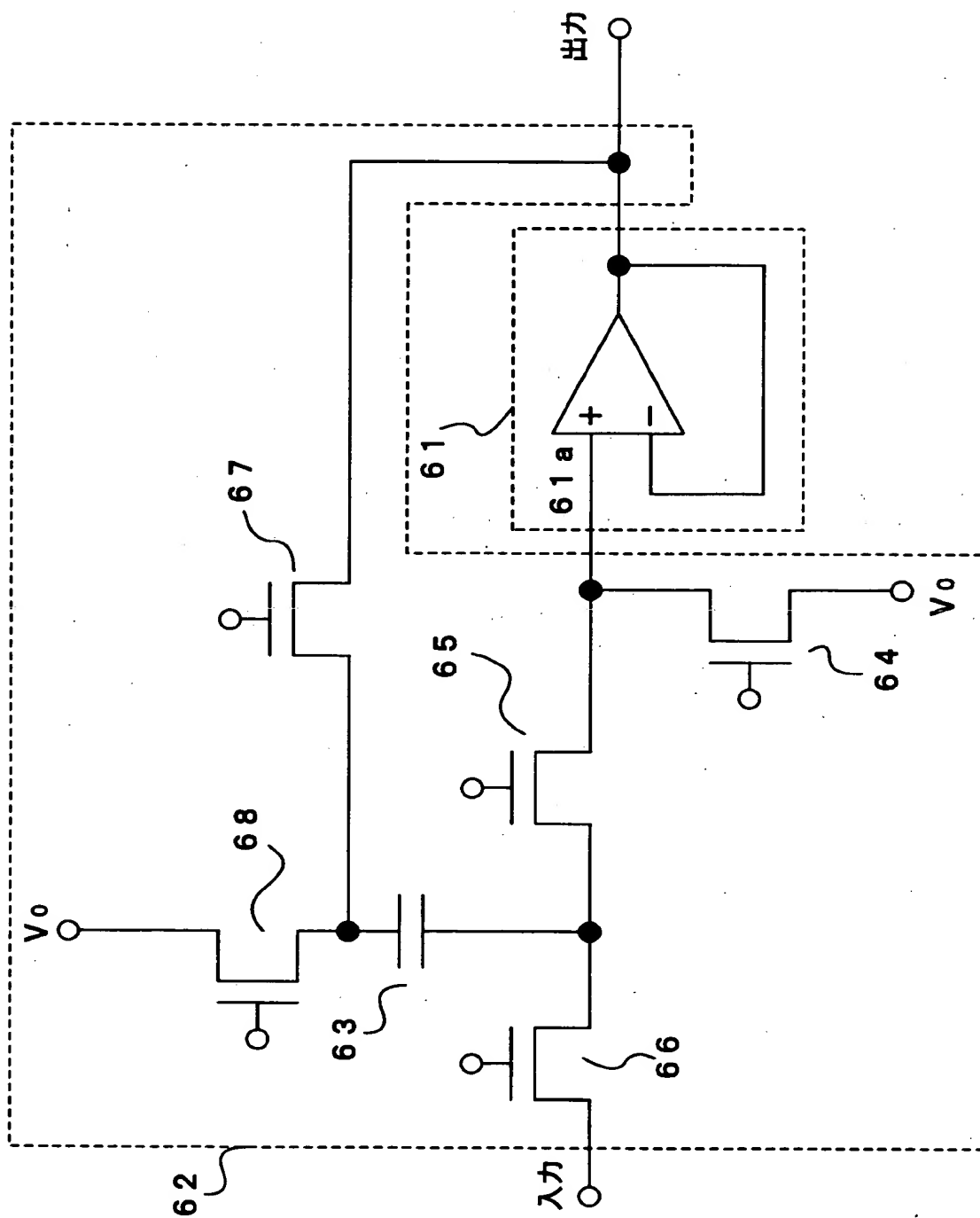
【図 4】



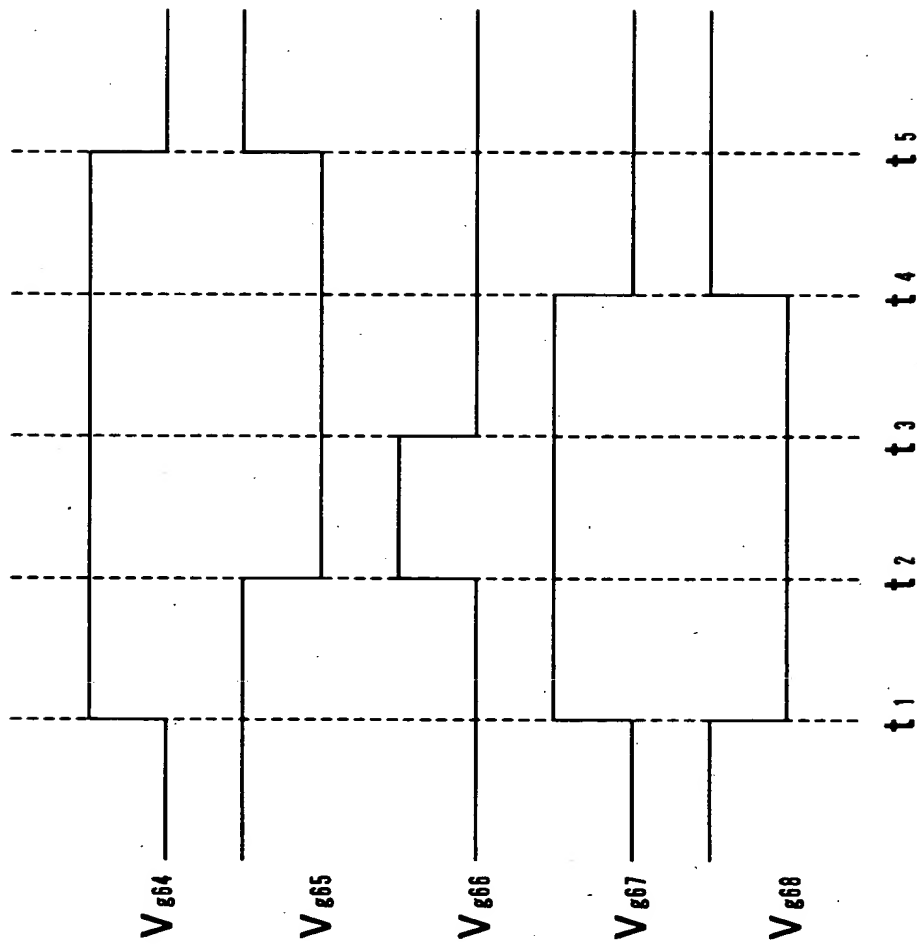
【図 5】



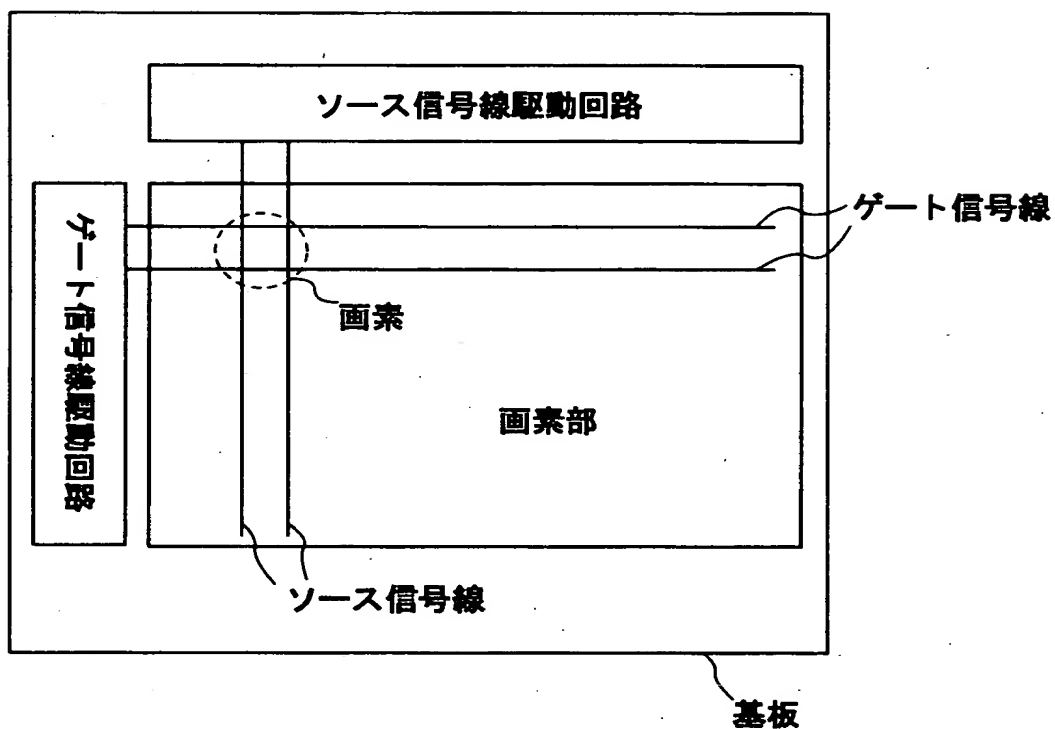
【図 6】



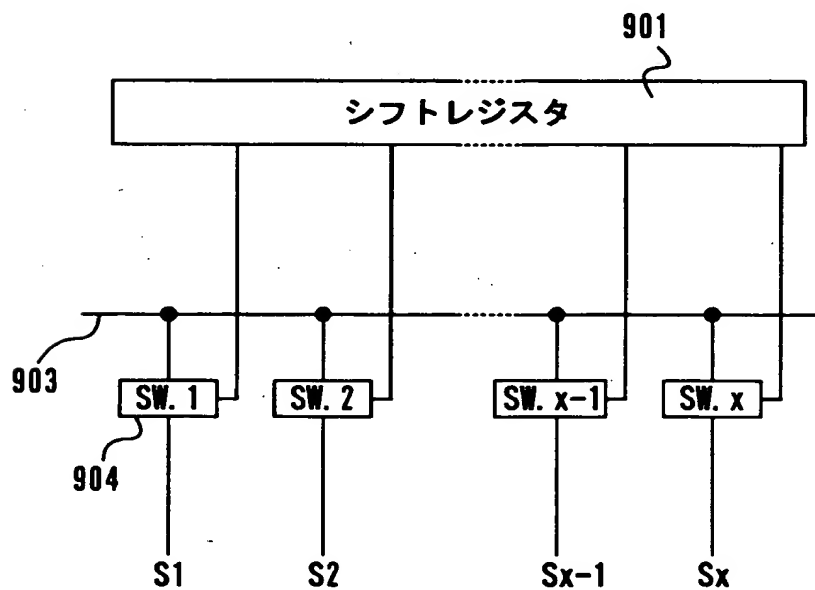
【図 7】



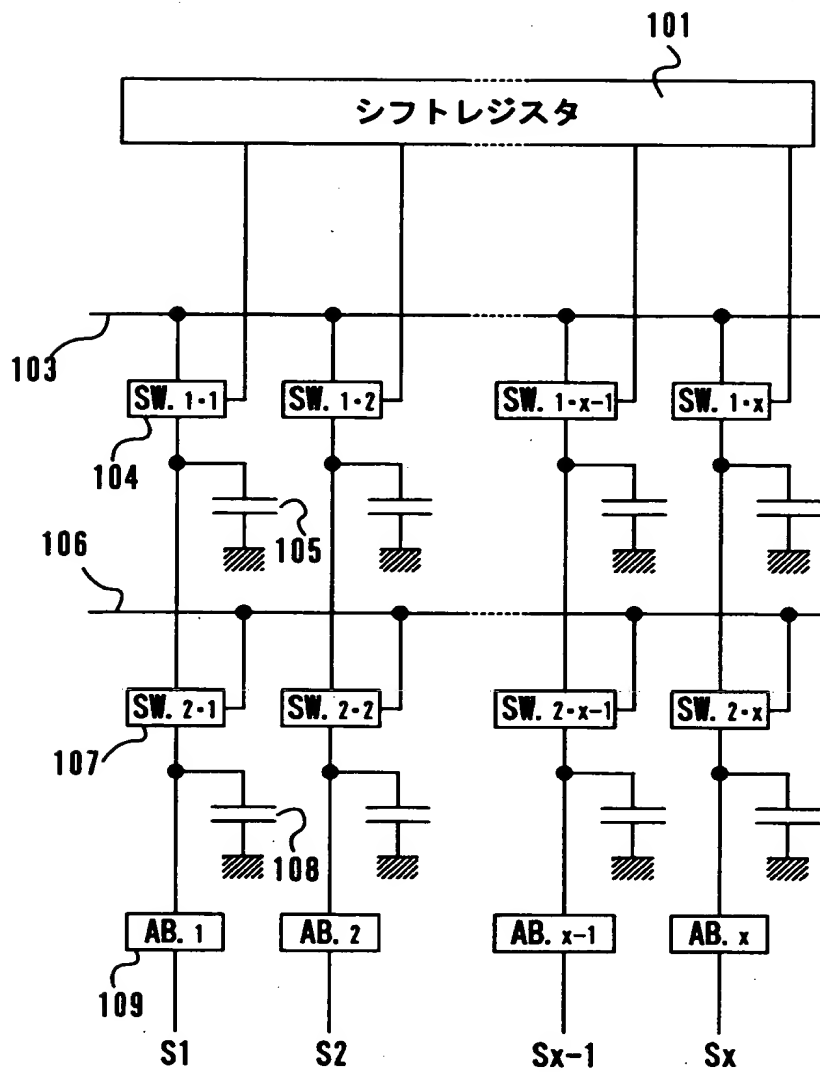
【図 8】



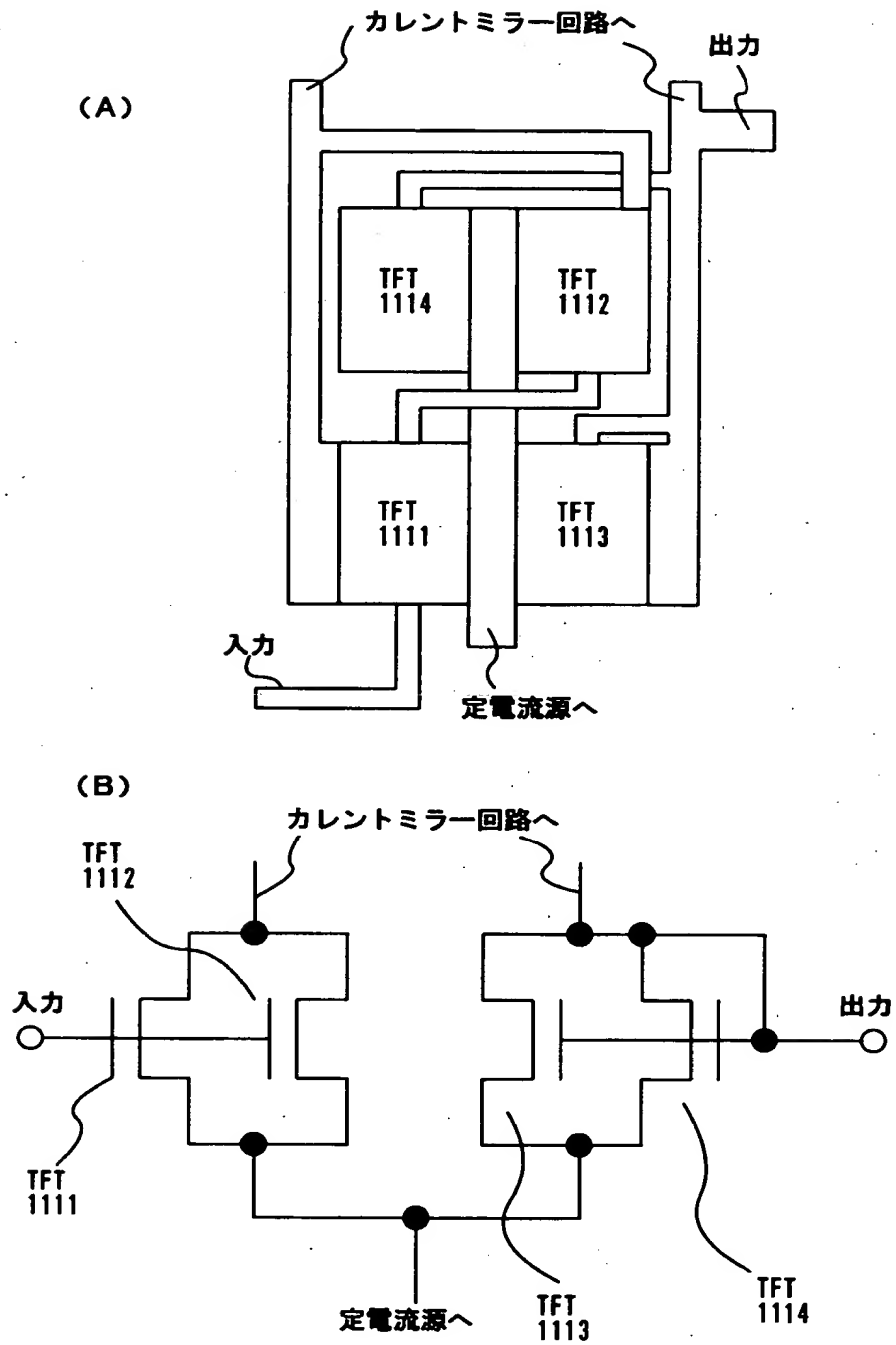
【図 9】



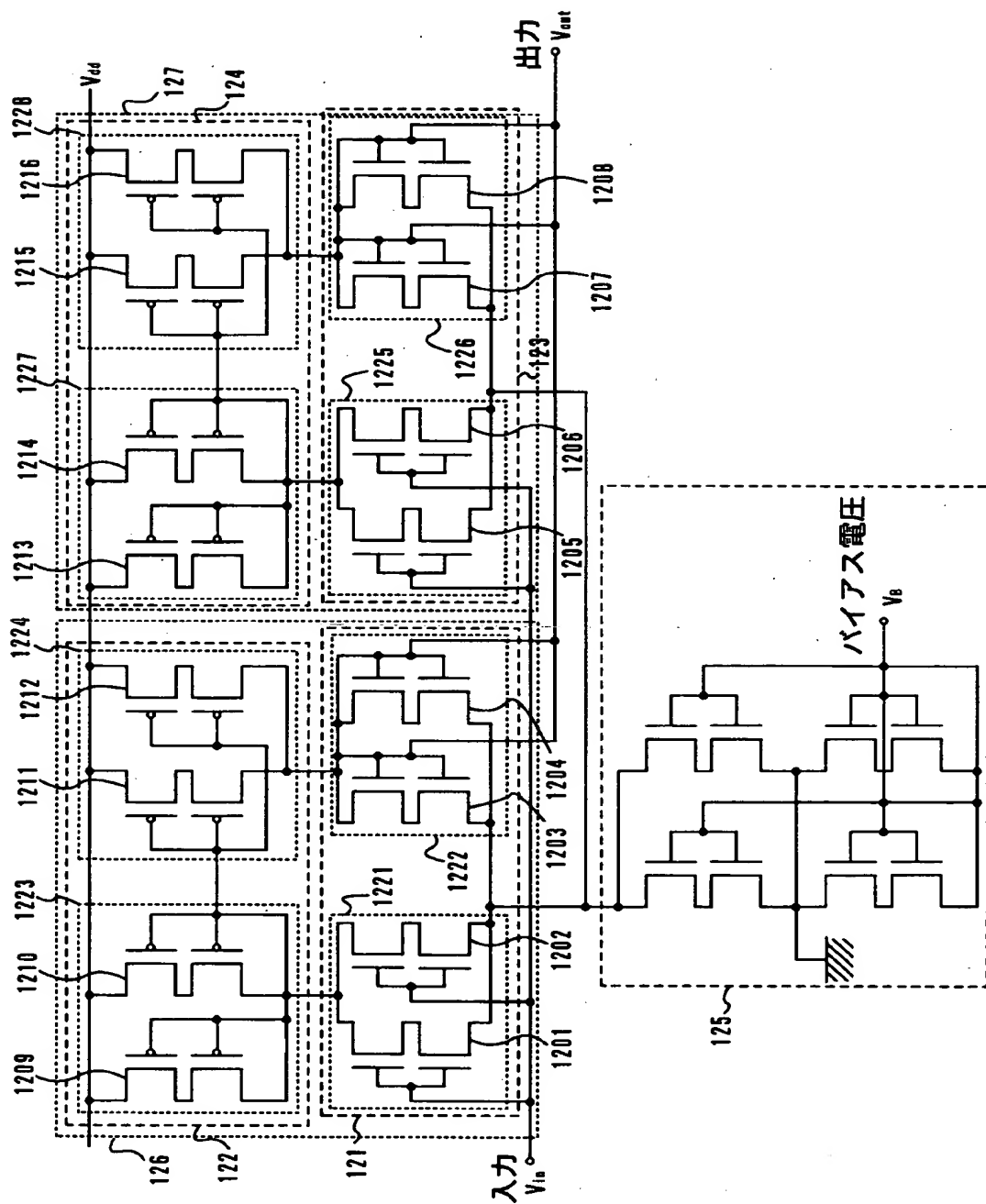
【図 10】



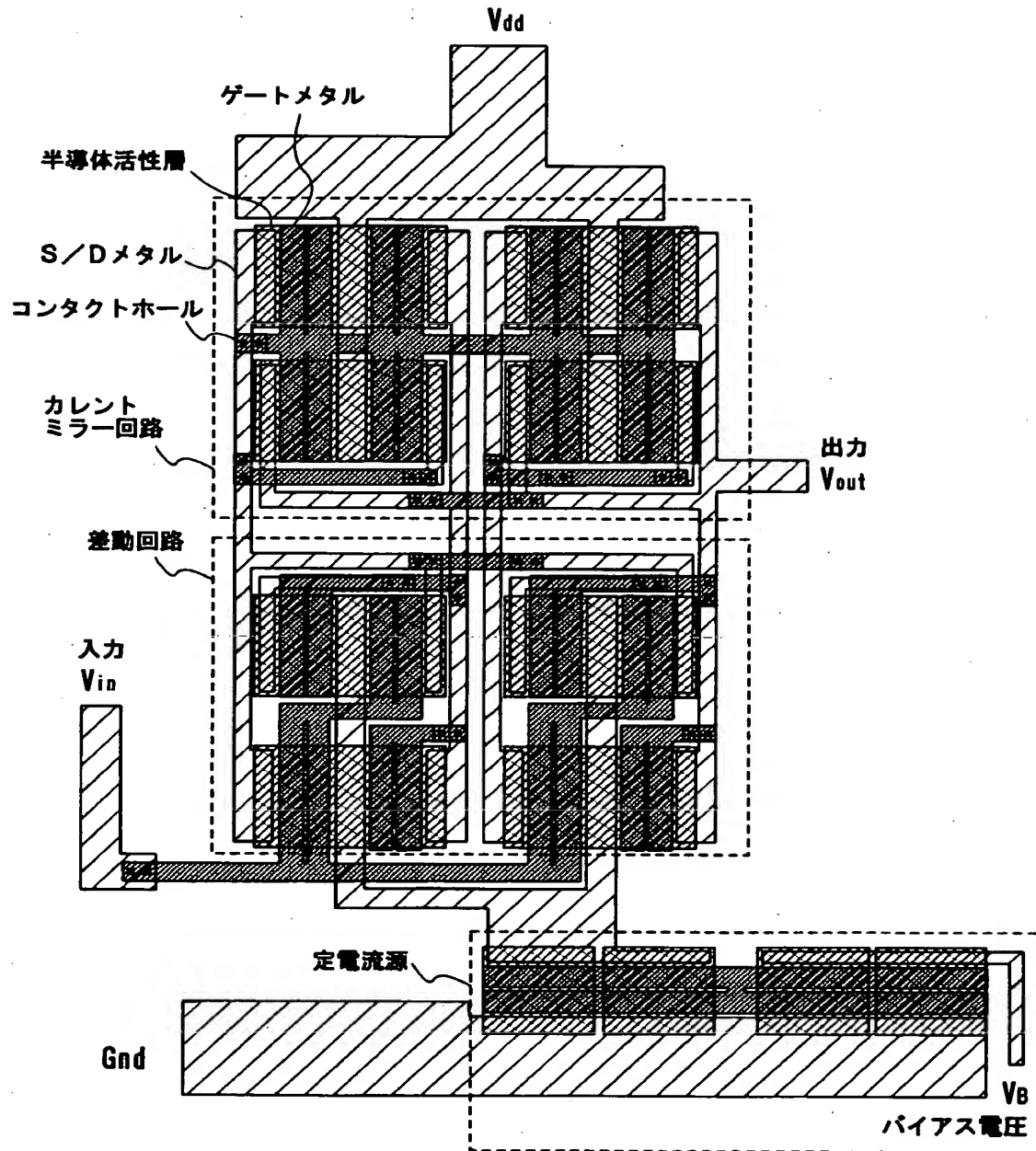
【図 1 1】



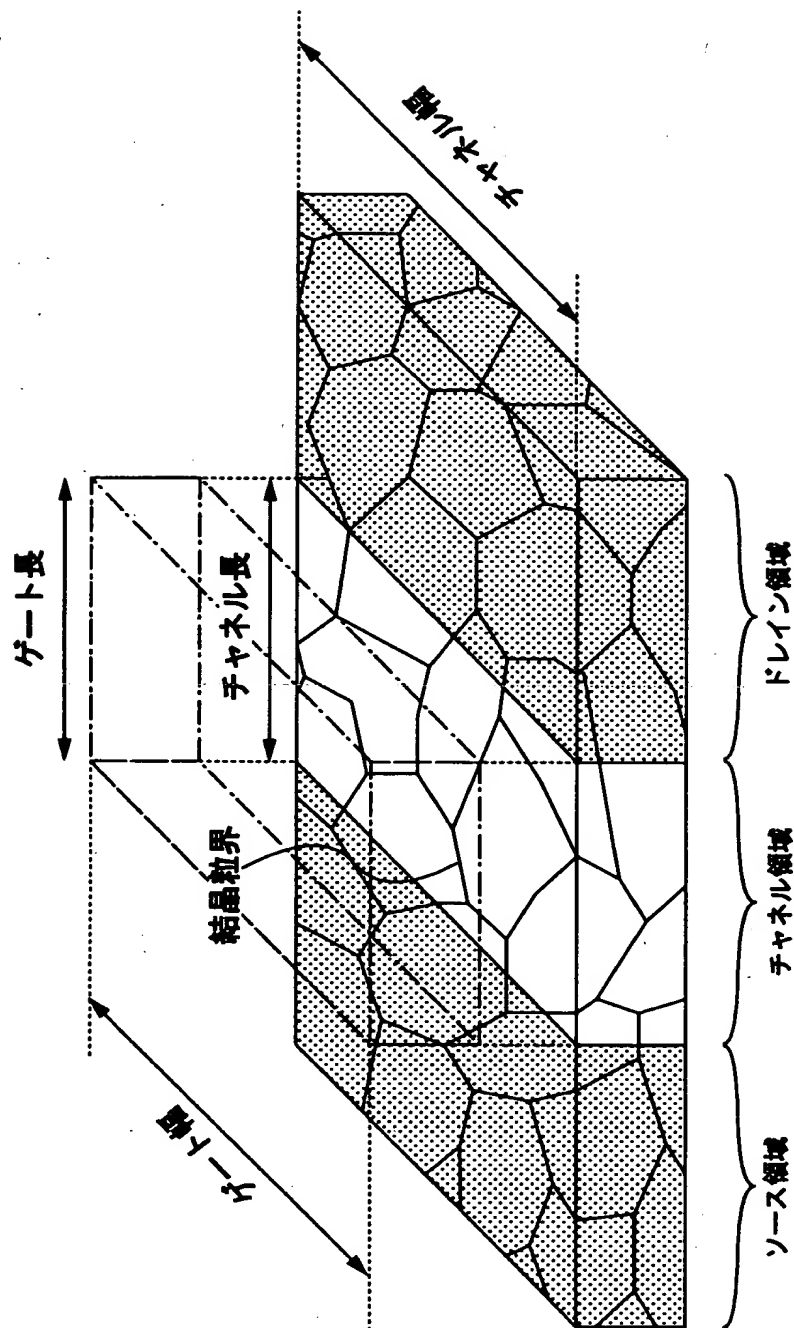
【図12】



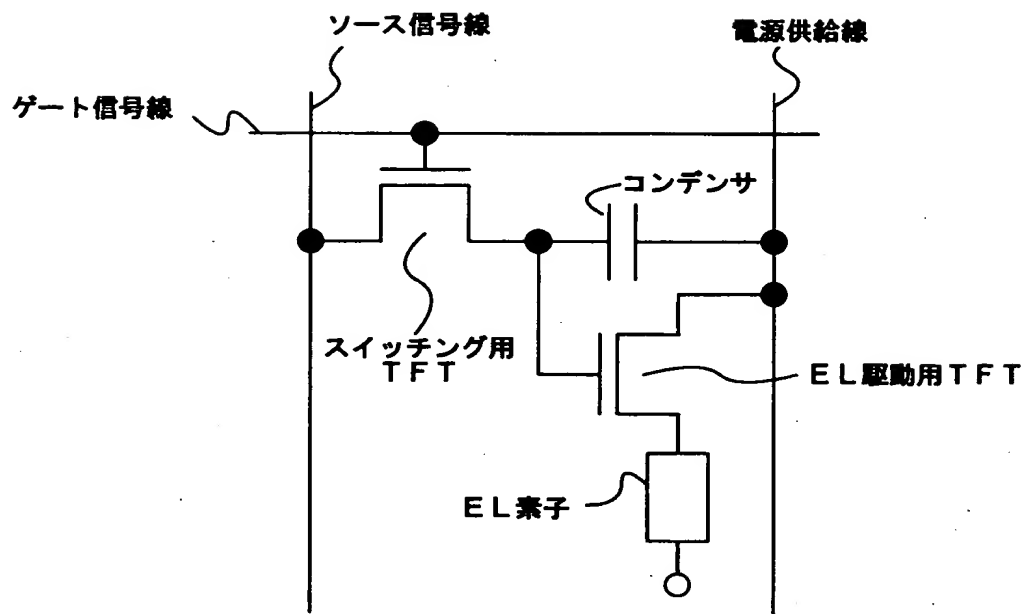
【図13】



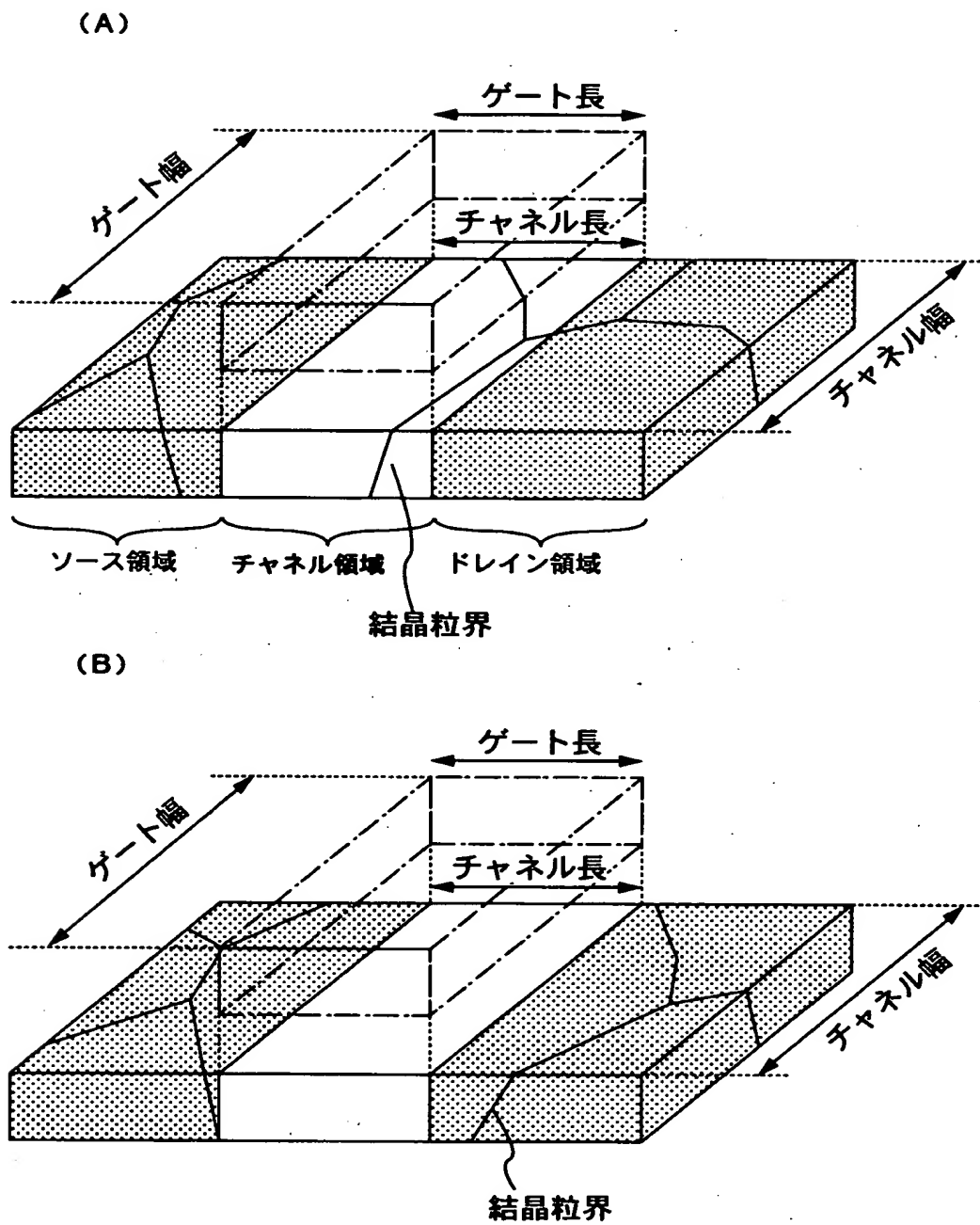
【図 14】



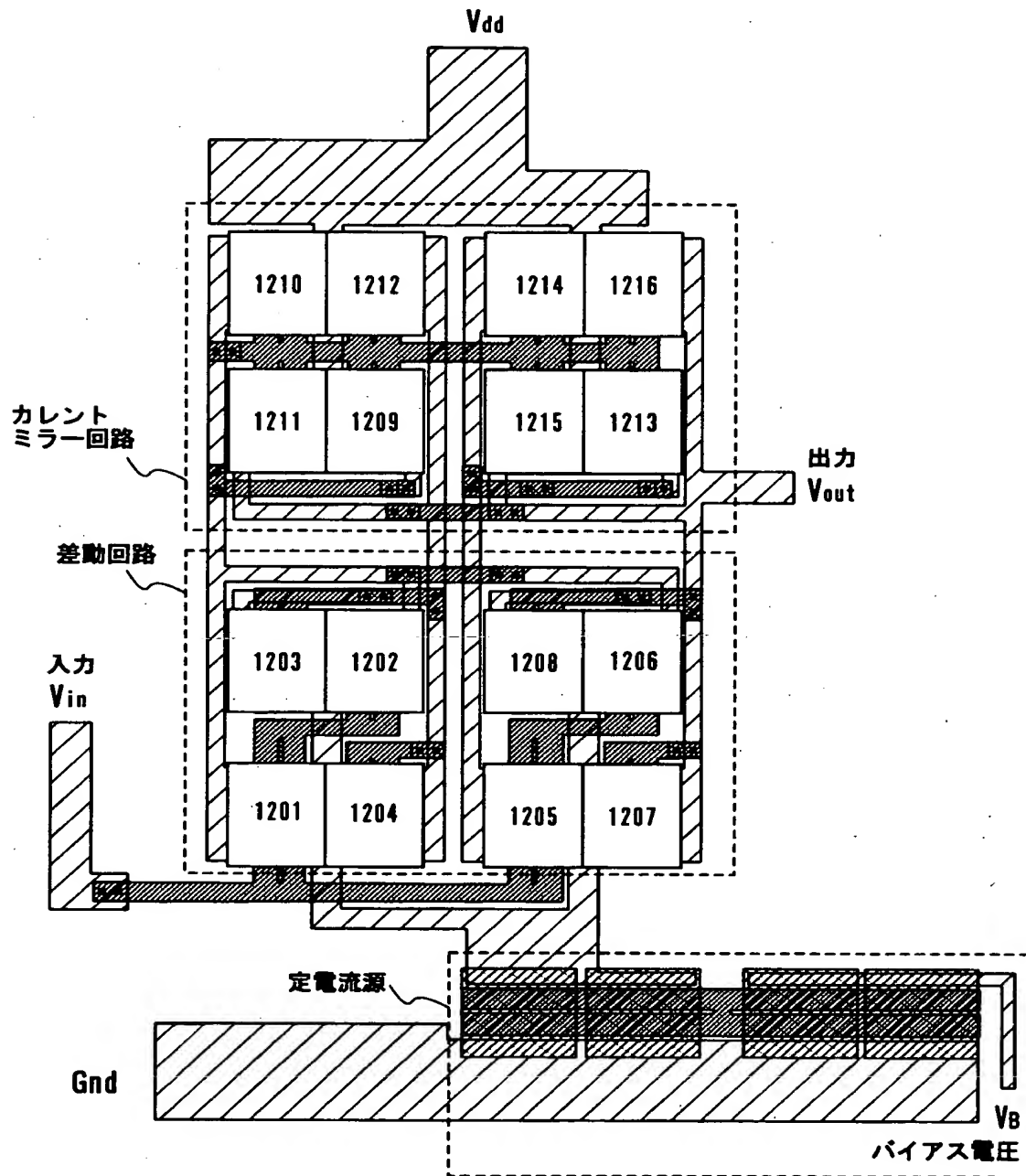
【図 1 5】



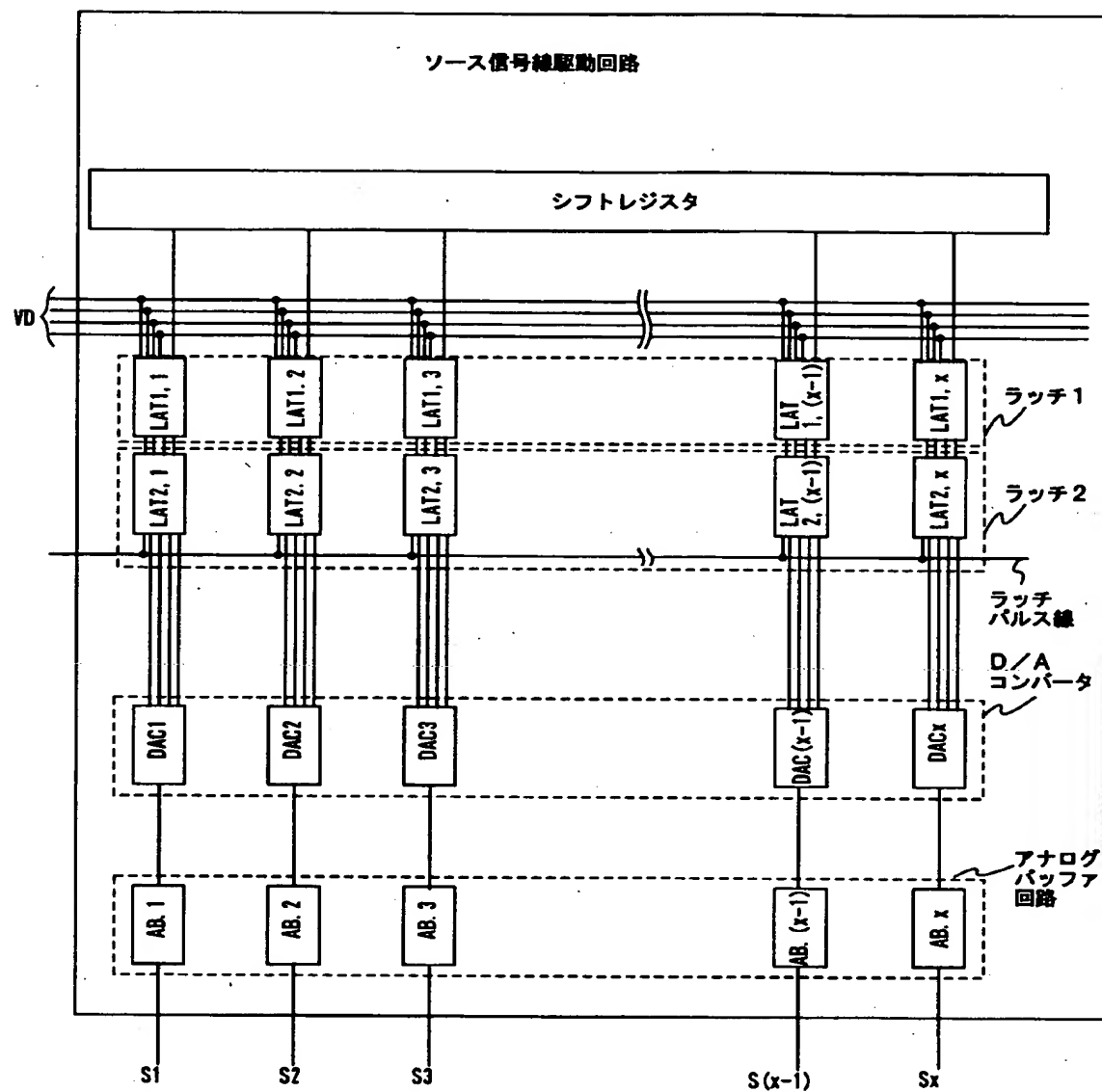
【図16】



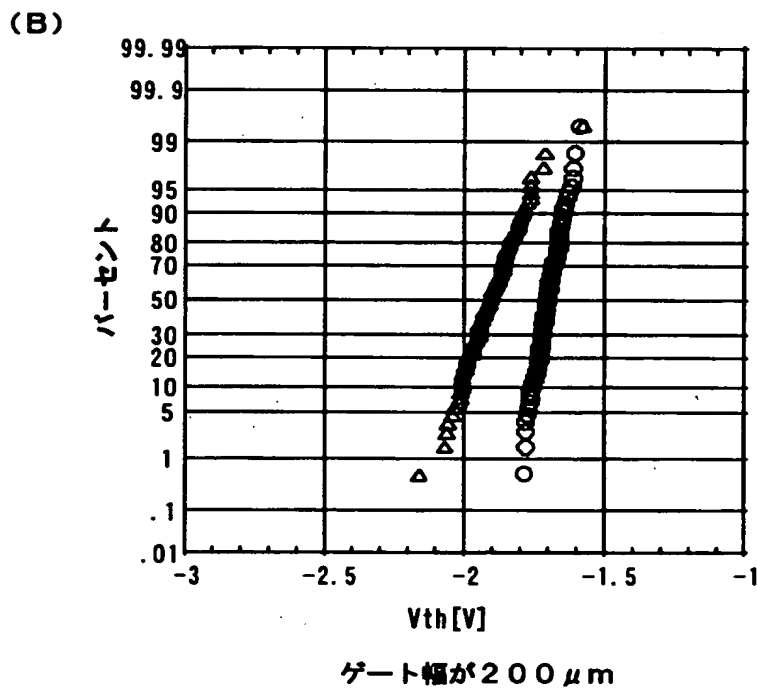
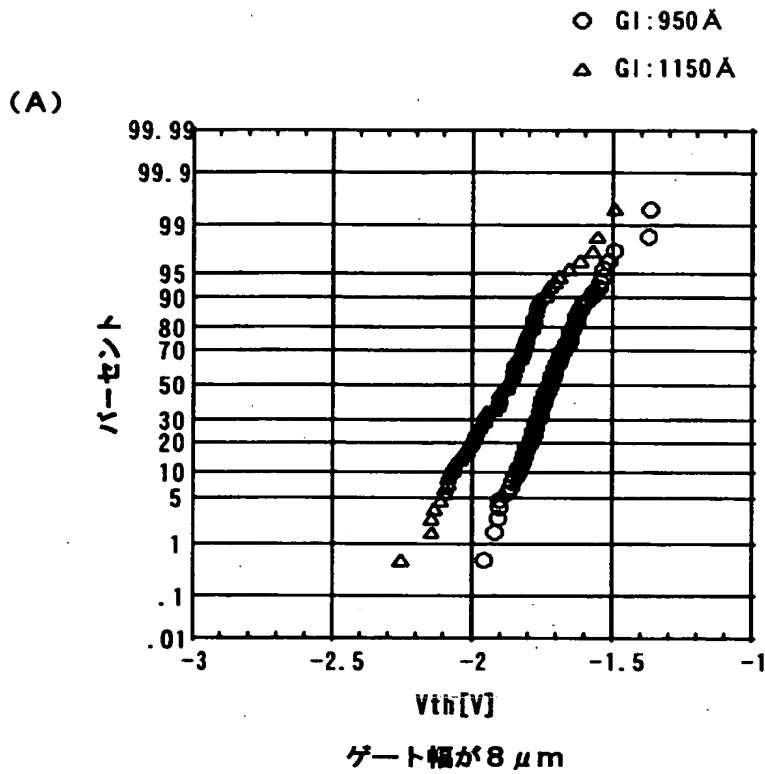
【図 17】



【図 18】



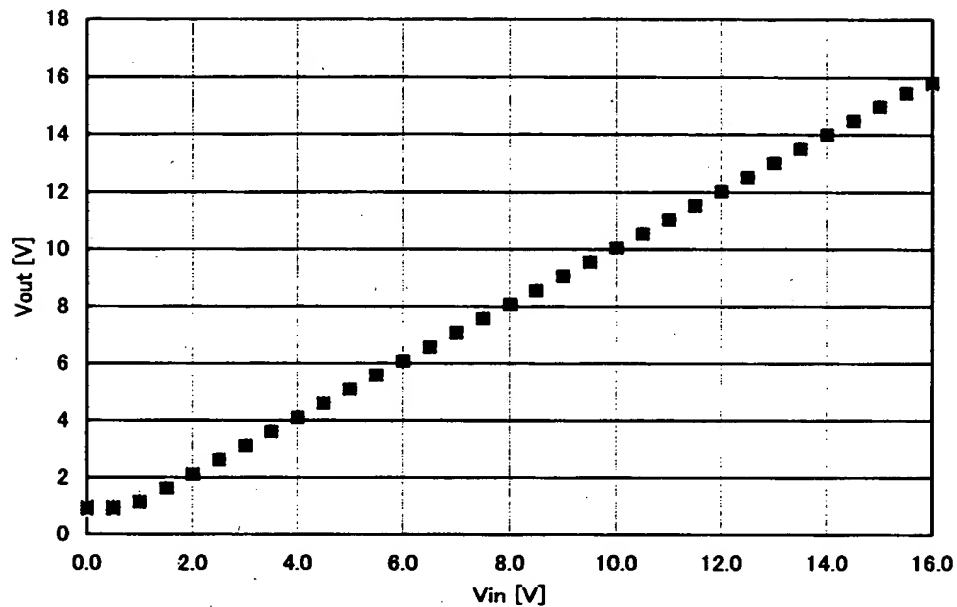
【図 19】



【図 2 0】

(A)

アナログバッファ回路入出力特性



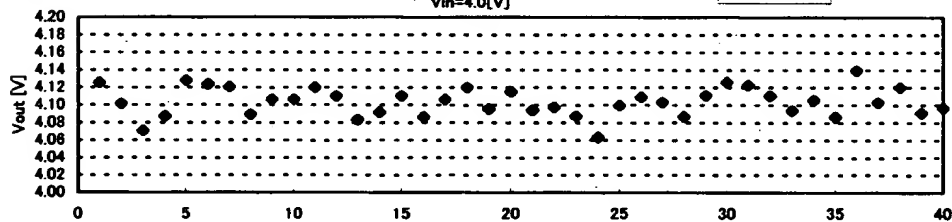
(B)

出力電圧のばらつき

$V_{in}=4.0[V]$

ave.=4.104

$\sigma=0.0164$



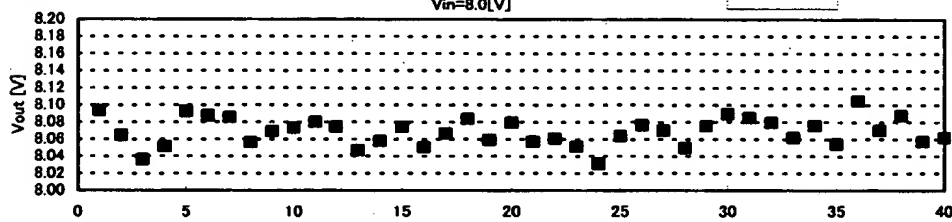
(C)

出力電圧のばらつき

$V_{in}=8.0[V]$

ave.=8.069

$\sigma=0.0163$



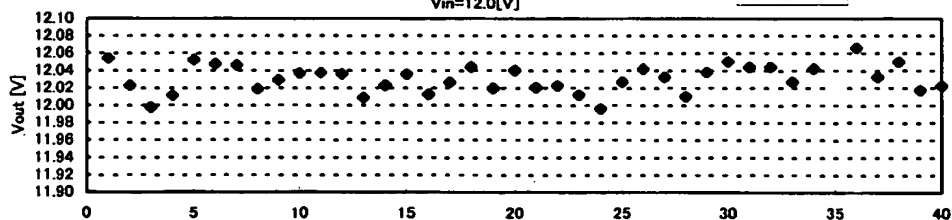
(D)

出力電圧のばらつき

$V_{in}=12.0[V]$

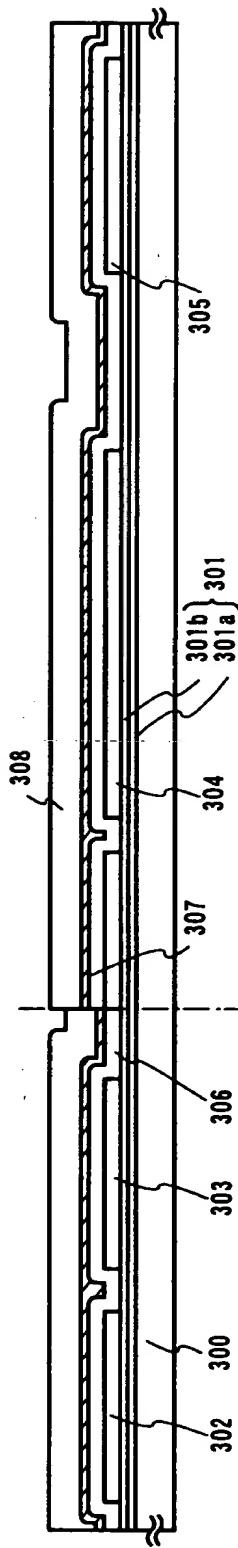
ave.=12.030

$\sigma=0.0160$

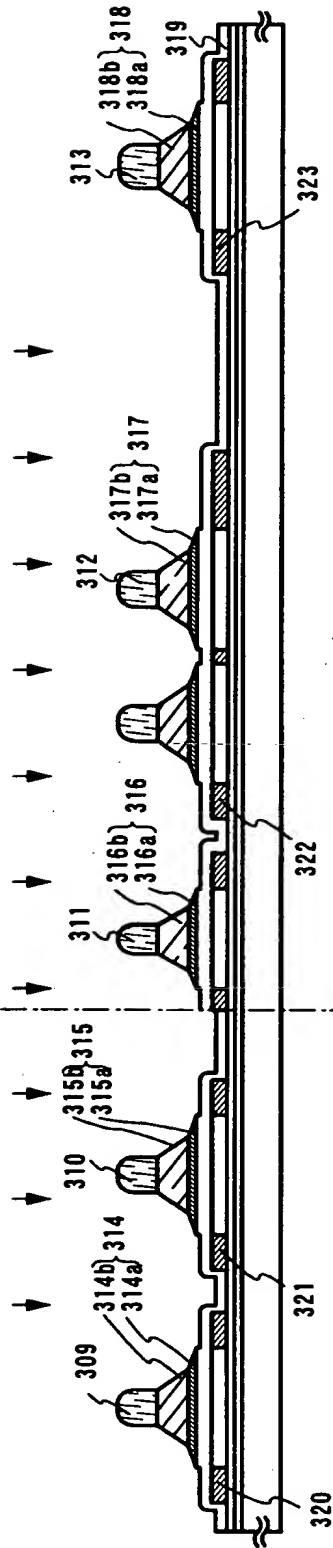


【図21】

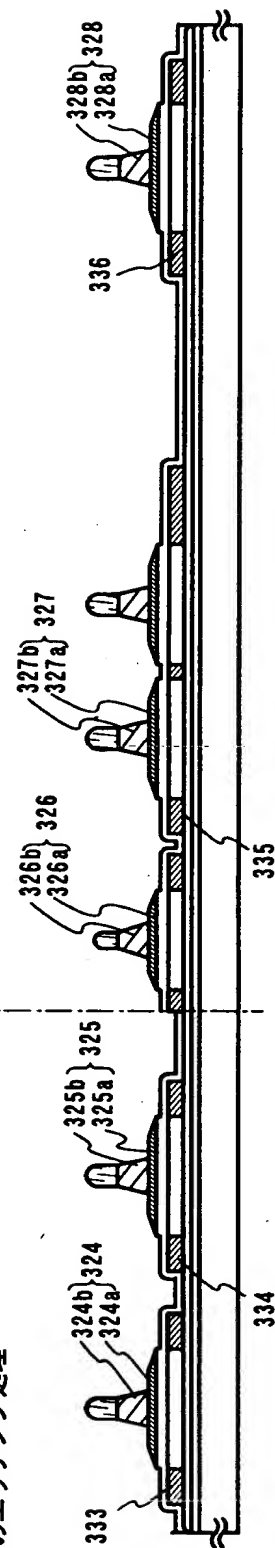
(A) 半導体層の形成／絶縁膜の形成／第1の導電膜と第2の導電膜の形成



(B) 第1のエッチング処理／第1のドーピング処理

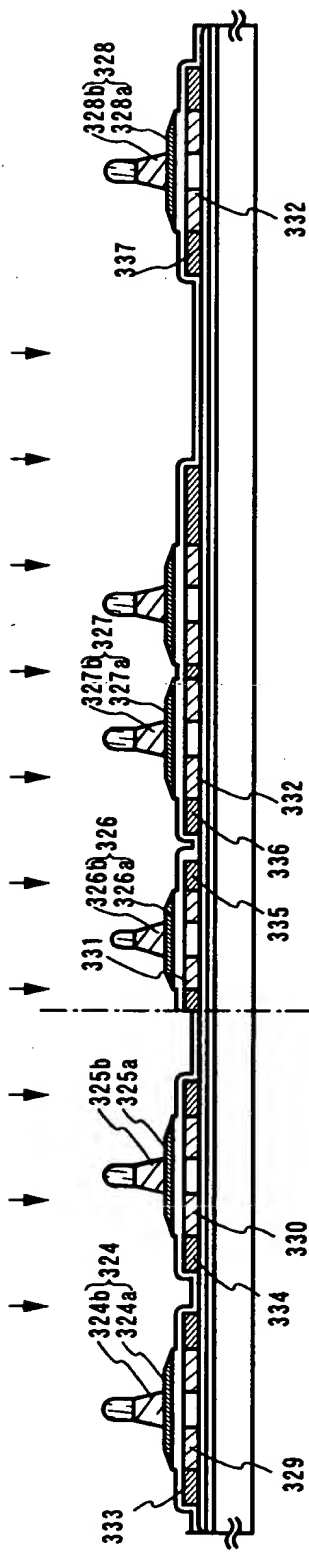


(C) 第2のエッチング処理

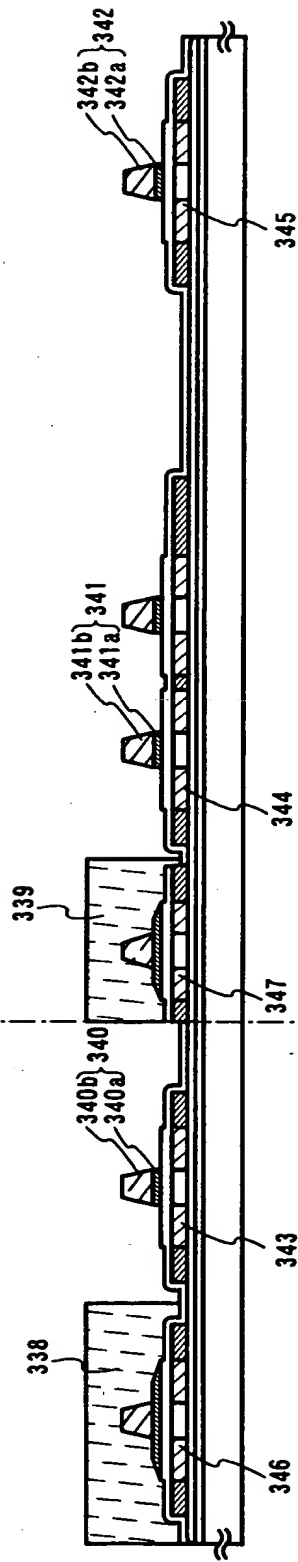


【図 22】

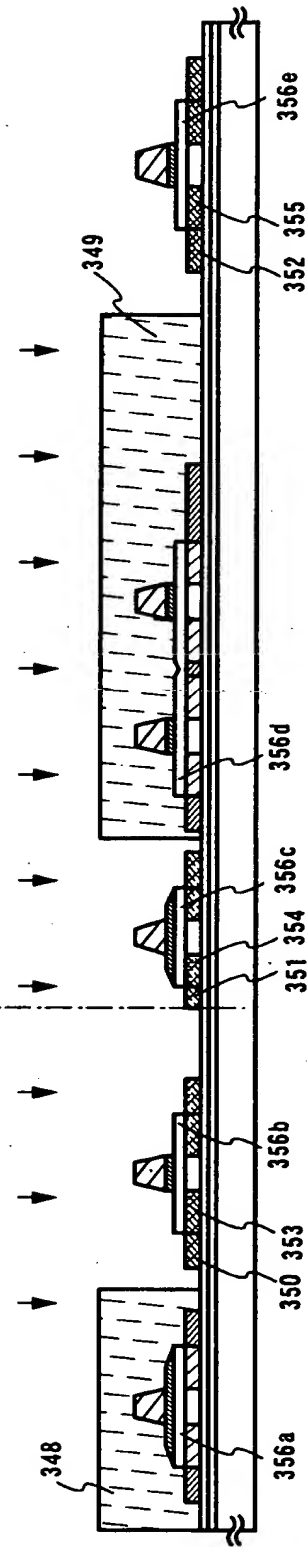
(A) 第2のドーピング処理



(B) 第3のエッチング処理

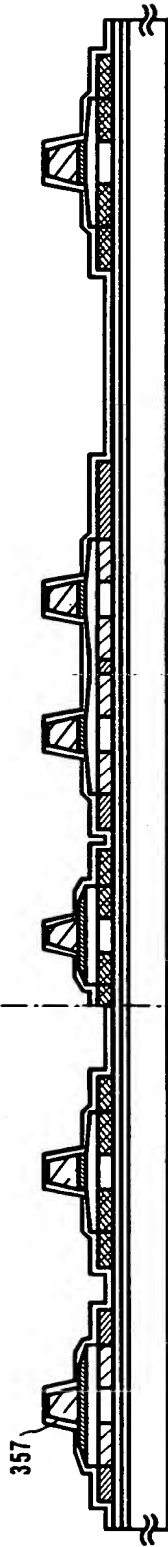


(C) 第3のドーピング処理

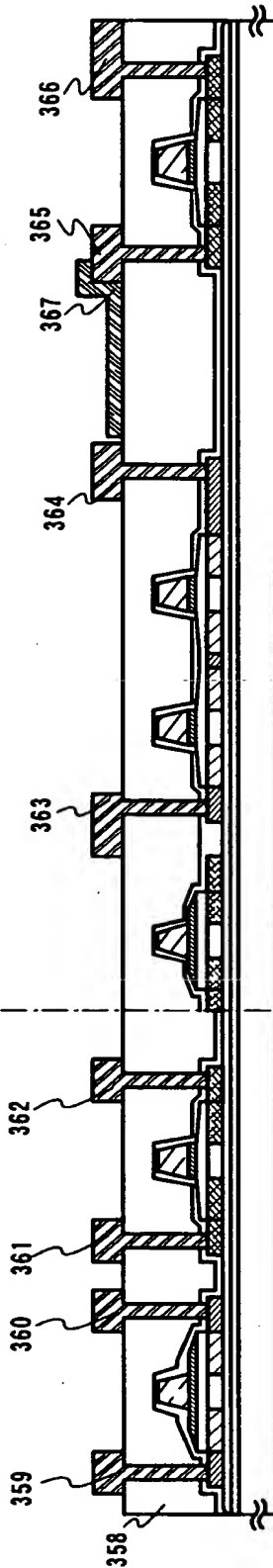


【図 23】

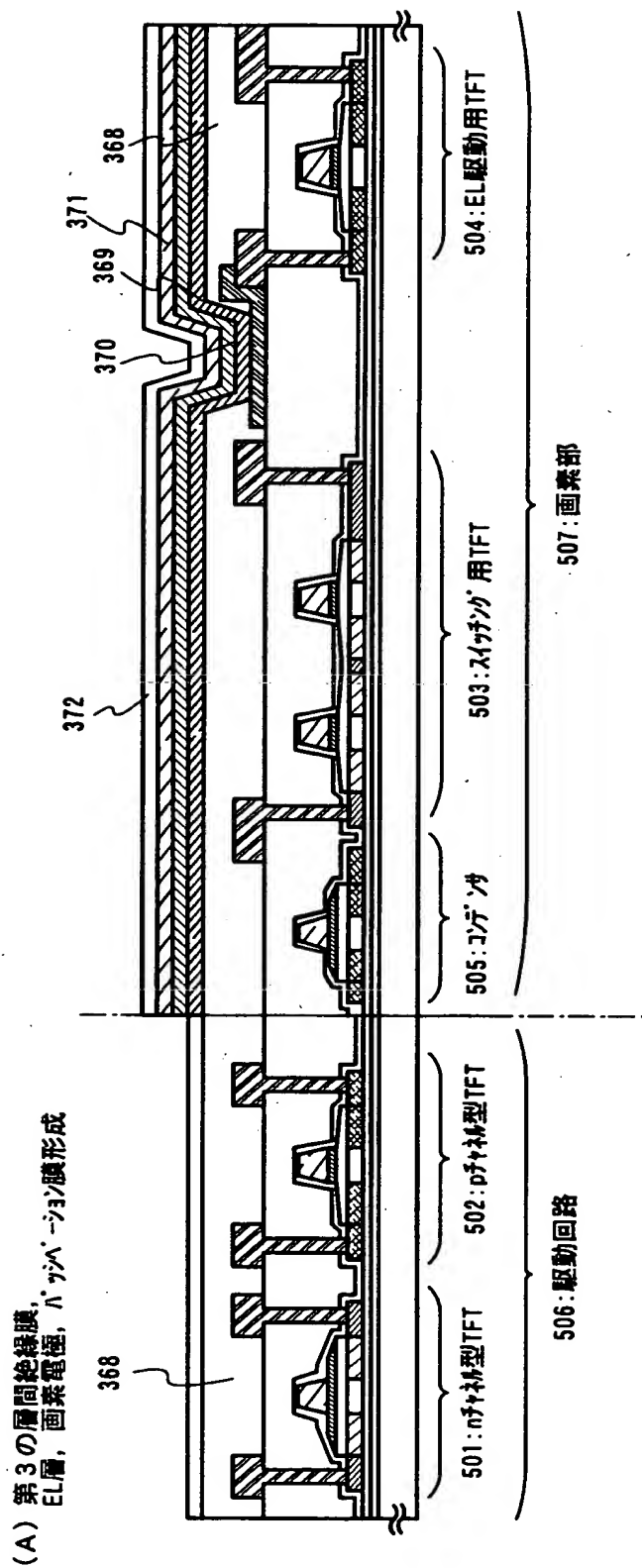
(A) 第1の層間絶縁膜形成、活性化処理



(B) 第2の層間絶縁膜、配線、画素電極形成



【図 2 4】



【書類名】 要約書

【要約】

【課題】 多結晶半導体 T F T によって構成される、従来のアナログバッファ回路では、出力のバラツキが大きい。そのため、補正回路をつけるなどの対策がなされてきたが、回路が複雑になることや、駆動の操作が複雑になるといった問題点があった。

【解決手段】 そこで、本発明では、アナログバッファ回路を構成する T F T のゲート長及びゲート幅を大きくした。また、マルチゲート型構造にした。加えて、チャネル部分の配置を工夫した。これにより、補正回路用いないで、バラツキの少ないアナログバッファ回路を得、バラツキの少ない半導体装置を提供することができる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日	1990年 8月17日
[変更理由]	新規登録
住 所	神奈川県厚木市長谷398番地
氏 名	株式会社半導体エネルギー研究所